SONY

DIGITAL TIME BASE CORRECTOR

BKH-2100

INSTALLATION AND MAINTENANCE MANUAL
1st Edition (Revised 6)
Serial No. 10001 and Higher

ご注意

このマニュアルに記載されている事柄の著作権は当社にあり，説明内容は機器購入者の使用を目的としています。
従って，当社の許可なしに無断で複写したり，説明内容(操作，保守等)と異なる目的で本マニュアルを使用することを禁止します。

CONFIDENTIAL

The material contained in this manual consists of information that is the property of Sony Corporation and is intended solely for use by the purchasers of the equipment described in this manual.
Sony Corporation expressly prohibits the duplication of any portion of this manual or the use thereof for any purpose other than the operation or maintenance of the equipment described in this manual without the express written permission of Sony Corporation.

CONFIDENTIEL

Le matériel contenu dans ce manuel consiste en informations qui sont la propriété de Sony Corporation et sont destinées exclusivement à l'usage des acquéreurs de l'équipement décrit dans ce manuel.
Sony Corporation interdit formellement la copie de quelque partie que ce soit de ce manuel ou son emploi pour tout autre but que des opérations ou entretiens de l'équipement à moins d'une permission écrite de Sony Corporation.

VERTRAULICH

Das in dieser Anleitung enthaltene Material besteht aus Informationen, die Eigentum der Sony Corporation sind, und ausschließlich zum Gebrauch durch den Käufer der in dieser Anleitung beschriebenen Ausrüstung bestimmt sind.
Die Sony Corporation untersagt ausdrücklich die Vervielfältigung jeglicher Teile dieser Anleitung oder den Gebrauch derselben für irgendeinen anderen Zweck als die Bedienung oder Wartung der in dieser Anleitung beschriebenen Ausrüstung ohne ausdrückliche schriftliche Erlaubnis der Sony Corporation.

目　次
TABLE OF CONTENTS

1. 取扱い操作

1－1. 概要 1-1
1－2. 特長 1-1
1－3. 仕様 1-1
1－4. 取り付け 1-2
　1－4－1. 基板の挿入 1-3
　1－4－2. 初期設定 1-3
1－5. 各部の名称と働き 1-4
1－6. 調整 1-6
1－7. 操作 1-7
1－8. シグナル・フローチャート 1-9
1－9. リモートコントロール 1-11

2. 設置

2－1. 調整 2-1
　2－1－1. ペデスタルレベルオフセット調整 . . . 2-1
　2－1－2. HUEコントロールのプリセッティング . . 2-1
　2－1－3. H BLK幅調整 2-2
　2－1－4. V BLKラインセレクト 2-2
　2－1－5. バースト位置・幅調整 2-2
　2－1－6. ビデオ位相調整 2-3
　2－1－7. 基板交換時の調整 2-3

3. 回路説明

3－1. 概要 3-1
　3－1－1. 回路構成 3-1
　3－1－2. ビデオ信号系 3-1
　3－1－3. クロック・制御信号系 3-2
3－2. ビデオ信号系回路 3-5
　3－2－1. A/D変換回路〔AD-12基板〕 3-5
　3－2－2. DOC回路〔MY-15, AD-12基板〕. . . 3-5
　3－2－3. 3ラインメモリー〔MY-15基板〕 3-7
　3－2－4. D/A変換回路〔PR-36基板〕 3-8
　3－2－5. プロセス回路〔PR-36基板〕 3-8
3－3. クロック・制御信号系回路 3-10
　3－3－1. バースト信号分離回路〔AD-12基板〕. 3-10
　3－3－2. SELECT Hジェネレーター
　　〔AD-12基板〕 3-10
　3－3－3. W CKジェネレーター〔AD-12基板〕. . 3-10
　3－3－4. W ZEROジェネレーター〔AD-12基板〕. 3-11
　3－3－5. ベロシティエラー検出回路
　　〔AD-12基板〕 3-11
　3－3－6. シーケンスコントロール回路
　　〔MY-15基板〕 3-12

1. OPERATION

1-1. Outline 1-13
1-2. Features 1-13
1-3. Specifications 1-13
　1-3-1. General 1-13
　1-3-2. Video 1-13
　1-3-3. Processor Adjustment Range 1-13
1-4. Installation 1-14
　1-4-1. Notes on Installation 1-14
　1-4-2. Initial Setting 1-15
1-5. Location and Function of Parts 1-16
1-6. Adjustments 1-18
1-7. Operation 1-19
1-8. Signal Flow Chart 1-21
1-9. Remote Control 1-23

2. INSTALLATION

2-1. Adjustments 2-5
　2-1-1. Pedestal Level Offset Adjustment 2-5
　2-1-2. Hue Control Presetting 2-5
　2-1-3. H Blanking Width Adjustment 2-6
　2-1-4. V Blanking Line Selection 2-6
　2-1-5. Burst Position/Width Adjustment 2-6
　2-1-6. Video Phase Adjustment 2-7
　2-1-7. Adjustment after Board Replacement 2-7

3. THEORY OF OPERATION

3-1. Outline 3-1
　3-1-1. Circuit Composition 3-1
　3-1-2. Video Signal System 3-1
　3-1-3. Clock and Control Signal System 3-2
3-2. Video Signal System Circuit 3-5
　3-2-1. A/D Conversion Circuit [AD-12 Board] . . 3-5
　3-2-2. DOC Circuit [MY-15 and AD-12 Boards] . 3-5
　3-2-3. 3-line Memory [MY-15 Board] 3-7
　3-2-4. D/A Conversion Circuit [PR-36 Board] . . 3-8
　3-2-5. Process Circuit [PR-36 Board] 3-8
3-3. Clock and Control Signal System Circuit 3-10
　3-3-1. Burst Signal Separating Circuit
　　[AD-12 Board] 3-10
　3-3-2. Select H Generator [AD-12 Board] 3-10
　3-3-3. W CK Generator [AD-12 Board] 3-10
　3-3-4. W ZERO Generator [AD-12 Board] 3-11
　3-3-5. Velocity Error Detection Circuit
　　[AD-12 Board] 3-11
　3-3-6. Sequence Control Circuit
　　[MY-15 Board] 3-12

3－3－7. SYNCジェネレーター〔SG-62 基板〕. . 3-13
3－3－8. SCジェネレーター〔SG-62基板〕. . . . 3-14
3－3－9. R CKジェネレーター〔SG-62基板〕. . 3-14
3－3－10. ベロシティエラー補正回路
〔SG-62基板〕. 3-15
3－3－11. R ZEROジェネレーター
〔SG-62基板〕. 3-16
3－3－12. カラーフレーミング表示回路
〔AD-12, SG-62基板〕. 3-16
3－4. 信号 3-18

4. 調整のための一般情報

4－1. 調整部品索引 4-1
4－2. 調整順序 4-2

5. 調整前の準備

5－1. 使用機器 5-1
5－2. テスト信号 5-2
5－3. 機器の接続 5-3
5－4. BVH-2000のセッティング 5-4
5－4－1. レベルコントロールパネル部 5-4
5－4－2. ファンクションコントロールパネル部 . . 5-4
5－4－3. コネクターパネル部 5-4
5－4－4. その他のスイッチ，
ボリウムのセッティング 5-4
5－5. BKH-2100のセッティング 5-4

6. クロック・制御信号系調整

6－1. SYNCジェネレーター調整 6-2
6－1－1. SYNC位相プリセット調整 6-2
6－1－2. CONFIDENCEモード
Vリセットパルス幅調整 6-2
6－1－3. TBCフレーム信号位相調整 6-3
6－1－4. Hブランキングパルス幅調整 6-3
6－1－5. Half Hブランキングパルス幅調整. . . . 6-4
6－2. ライトクロックジェネレーター調整 6-5
6－2－1. VCOエラー調整 6-5
6－2－2. Hセレクションウィンドウ幅調整. 6-5
6－2－3. バーストチューニング調整. 6-5
6－2－4. 温度特性補償回路エラー調整 6-6
6－2－5. カラーフレーミングウィンドウ
位相調整. 6-6
6－2－6. B/W APCパルスシフト量調整. 6-7

3-3-7. SYNC Generator [SG-62 Board] 3-13
3-3-8. SC Generator [SG-62 Board] 3-14
3-3-9. R CK Generator [SG-62 Board] 3-14
3-3-10. Velocity Error Compensation Circuit
[SG-62 Board] 3-15
3-3-11. R ZERO Generator [SG-62 Board] 3-16
3-3-12. Color Framing Display Circuit
[AD-12 and SG-62 Boards] 3-16
3-4. Signals 3-18

4. GENERAL INFORMATION FOR ALIGNMENT

4-1. Index of Alignment Components 4-1
4-2. Alignment Sequence 4-2

5. PREPARATION FOR ALIGNMENT

5-1. Equipment Required 5-1
5-2. Test Signal 5-2
5-3. Connections 5-3
5-4. Initial Setting of the BVH-2000 5-4
5-4-1. Level Control Panel 5-4
5-4-2. Function Control Panel 5-4
5-4-3. Connector Panel 5-4
5-4-4. Other Switch & Control Setting 5-4
5-5. Initial Setting of the BKH-2100 5-4

6. CLOCK AND CONTROL SIGNAL SYSTEM ALIGNMENT

6-1. Sync Generator Alignment 6-2
6-1-1. Sync Phase Preset Adjustment 6-2
6-1-2. Confidence Mode V Reset Pulse Width
Adjustment 6-2
6-1-3. TBC Frame Signal Phase Adjustment 6-3
6-1-4. H Blanking Pulse Width Adjustment 6-3
6-1-5. Half H Blanking Pulse Width Adjustment . 6-4
6-2. Write Clock Generator Alignment 6-5
6-2-1. VCO Error Alignment 6-5
6-2-2. H Selection Window Width Adjustment . . 6-5
6-2-3. Burst Tuning Adjustment 6-5
6-2-4. Temperature Characteristics Compensation
System Error Adjustment 6-6
6-2-5. Color Framing Window Phase
Adjustment 6-6
6-2-6. B/W APC Pulse Shift Adjustment 6-7

6－3. リードクロックジェネレーター調整 6-8
6－3－1. ベロシティーエラーオフセット調整 6-8
6－3－2. ベロシティエラーゲイン調整 6-8
6－3－3. バーストチューニング調整 6-8
6－3－4. HUEプリセット調整 6-9
6－3－5. 波形デューティ調整 6-9
6－3－6. READ ZEROリミッター調整 6-10
6－3－7. カラーフレーミングウィンドウ調整 . . . 6-10

7. ビデオ信号系調整

7－1. A/Dコンバーター調整 7-2
7－1－1. ビデオレベルオフセット調整 7-2
7－1－2. A/Dコンバーター基準電圧調整 7-2
7－2. プロセッサー調整 7-3
7－2－1. ビデオレベルプリセット調整 7-3
7－2－2. ビデオアンプ周波数特性調整 7-4
7－2－3. ディレーライン周波数特性調整 7-5
7－2－4. クロマレベルプリセット調整 7-6
7－2－5. セットアップレベルプリセット調整 . 7-7
7－2－6. ダーククリップレベル調整 7-7
7－2－7. バースト信号位置/幅調整 7-8
7－2－8. バースト信号レベル調整 7-8
7－2－9. SYNC レベル調整 7-9

6-3. Read Clock Generator Alignment 6-8
6-3-1. Velocity Error Offset Adjustment 6-8
6-3-2. Velocity Error Gain Adjustment 6-8
6-3-3. Burst Tuning Adjustment 6-8
6-3-4. Hue Preset Adjustment 6-9
6-3-5. Waveform Duty Adjustment 6-9
6-3-6. Read Zero Limiter Adjustment 6-10
6-3-7. Ref. Color Framing Window Phase Adjustment 6-10

7. VIDEO SIGNAL SYSTEM ALIGNMENT

7-1. A/D Converter Alignment 7-2
7-1-1. Video Level Offset Adjustment 7-2
7-1-2. A/D Converter Reference Voltage Adjustment 7-2
7-2. Processor Alignment 7-3
7-2-1. Video Level Preset Adjustment 7-3
7-2-2. Video Amp. Frequency Response Adjustment 7-4
7-2-3. Delay Line Frequency Response Adjustment 7-5
7-2-4. Chroma Level Preset Adjustment 7-6
7-2-5. Setup Level Preset Adjustment 7-7
7-2-6. Dark Clip Level Adjustment 7-7
7-2-7. Burst Position and Width Adjustment 7-8
7-2-8. Burst Level Adjustment 7-8
7-2-9. Sync Level Adjustment 7-9

A. BLOCK DIAGRAM

Overall Block Diagram A-1

B. SEMICONDUCTOR PIN ASSIGNMENTS

Index B-1
Diode B-2
Transistor B-2
IC B-2
PROM B-14

C. SCHEMATIC DIAGRAM & BOARD LAYOUT

AD-12 Board; A/D Converter C-4
MY-15 Board; 3-Line Memory C-10
SG-62 Board; Sync Generator C-16
PR-36 Board; Processor C-22

D. REPLACEABLE PARTS

Notes on Repair Parts D-1
AD-12 Board D-2
MY-15 Board D-3
SG-62 Board D-4
PR-36 Board D-6

E. CHANGED PARTS

第1章
取り扱い操作

1-1. 概要

BKH-2100は、ソニー1インチ・ビデオテープレコーダーBVH-2000用のプラグイン タイムベースコレクターで、4枚基板で構成されています。ノーマル再生に最適なビデオ信号処理を行なっており、良好な画質を得ることができます。

1-2. 特長

1. VELOCITY ERRORには高次近似曲線を用いて最適補正を行なっているため、良好な画質を得ることができます。

2. Digital dropout compensatorを装備しており、Y/C共1H前部分置換です。

3. SG-62基板上のS2、S3スイッチにより、10H～21Hラインまでの任意のラインのブランキングをON/OFFすることができます。

4. SHUTTLEの±50倍速(順方向1倍速再生を除く)まで、B/Wにて画像を捜すことができます。

5. リモートコントロールユニットBK-2006(別売)を用いることにより、外部よりリモートコントロールできます。

6. 8bit×4fscのサンプリングです。

ご注意
ダイナミックトラッキングの再生画像はモノクロになります。

1-3. 仕様

消費電力	43.2W
寸法(幅/高さ/奥行)	23×155×325mm
重量	2.5kg(基板×4枚)
動作温度	5℃～40℃
VIDEO系	
帯域幅	DC～4.2MHz ±0.3dB
S/N	55dB
DG	2%以下
DP	2°以下
K-Factor	1%以下
WINDOW	1Hp-p
Residual error カラー	±2.5ns以内
Residual error 白黒	±15ns以内
Y/C Delay	20ns以内
PROCESSOR 調整範囲	
OUTPUT VIDEO LEVEL	±3dB
CHROMA LEVEL	±3dB
SET UP LEVEL	0～15IRE
HUE	±15°
SYSTEM SC PHASE	360°以上
SYSTEM SYNC PHASE	−1～+3μs

仕様および外観は,改良のため予告なく変更することがありますが,ご了承ください。

1-4. 取り付け

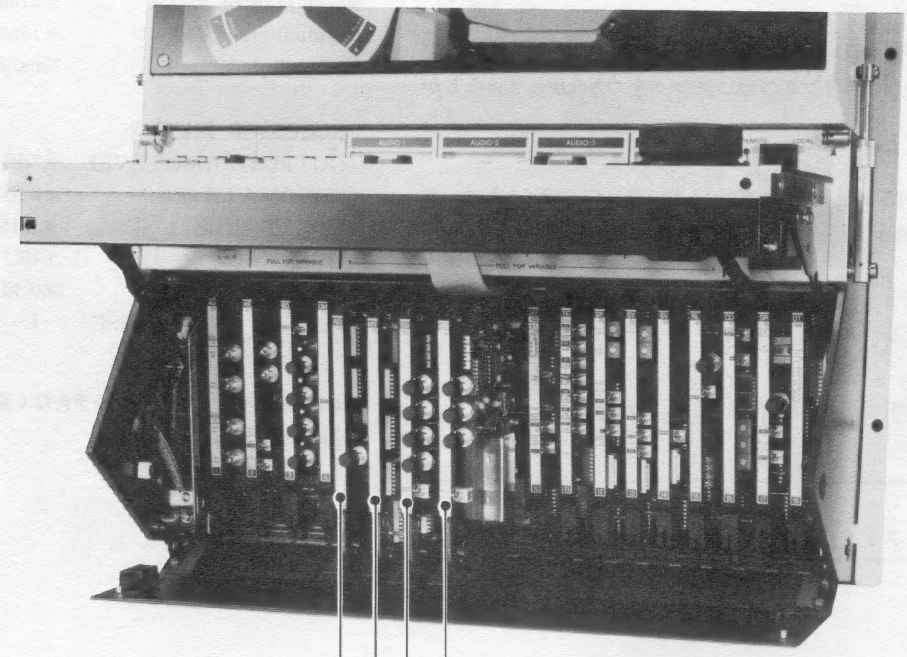
1-4-1. 基板の挿入

必ず次の事項を厳守してください。

- プリント基板を挿入するときは、必ず電源をOFFにしてください。
- プリント基板を挿入するときは、プリント基板挿入指定番号（本体下部）とプリント基板番号（基板上部）を確認し、必ず下図の所定の位置に入れてください。
- 通電するときは、再度プリント基板の位置を確認します。

挿入位置を誤ったまま通電すると、回路を破損することがあります。

原則としてプリント基板を抜き差しすることは避けてください。



	Board No.	Board Name	
BKH-2100	6	AD-12	A/D CONVERTER
	7	MY-15	MEMORY
	8	SG-62	SYNC GENERATOR
	9	PR-36	PROCESSOR

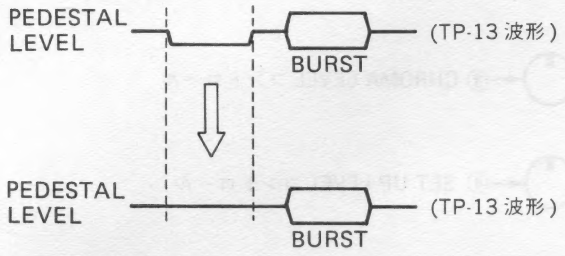
1-4-2. 初期設定

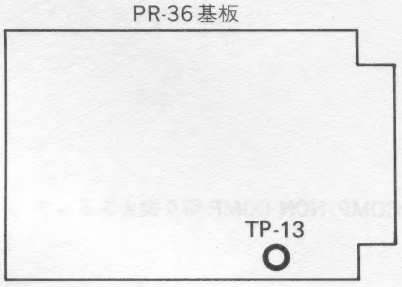
必ずつぎの初期設定をしてください。

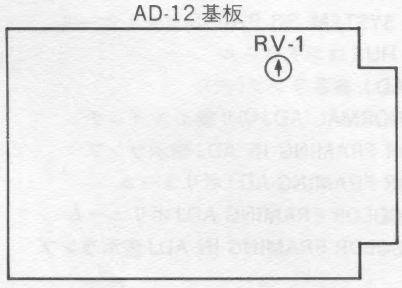
●ペデスタル レベル オフセットの調整

調整方法 1

AD-12 基板を、延長基板を用いて延長する（引き出して使用する）。
PR-36 基板の TP-13 端子の出力波形が、下図となるように、AD-12 基板の RV1 を調節する。





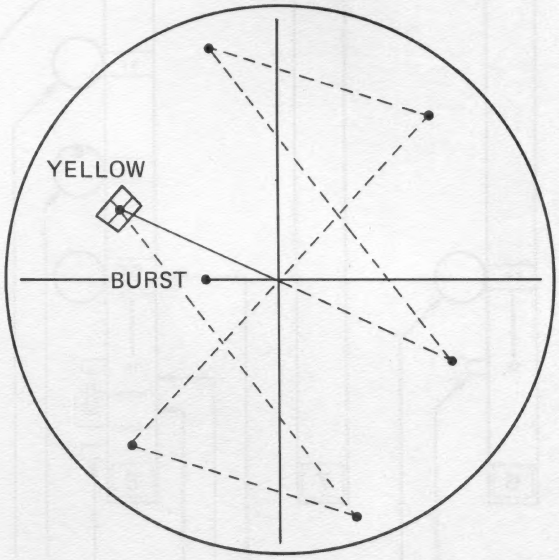


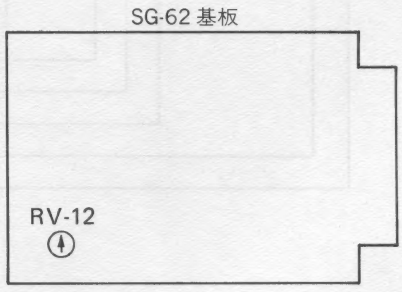
調整方法 2

TBC リモートコントロールユニットの SET-UP PRESET スイッチを PRESET にする。
BVH-2000 の映像出力信号を波形モニターで見ながら、SET-UP が 0 IRE になるように、AD-12 基板上の RV-1 を調整する。

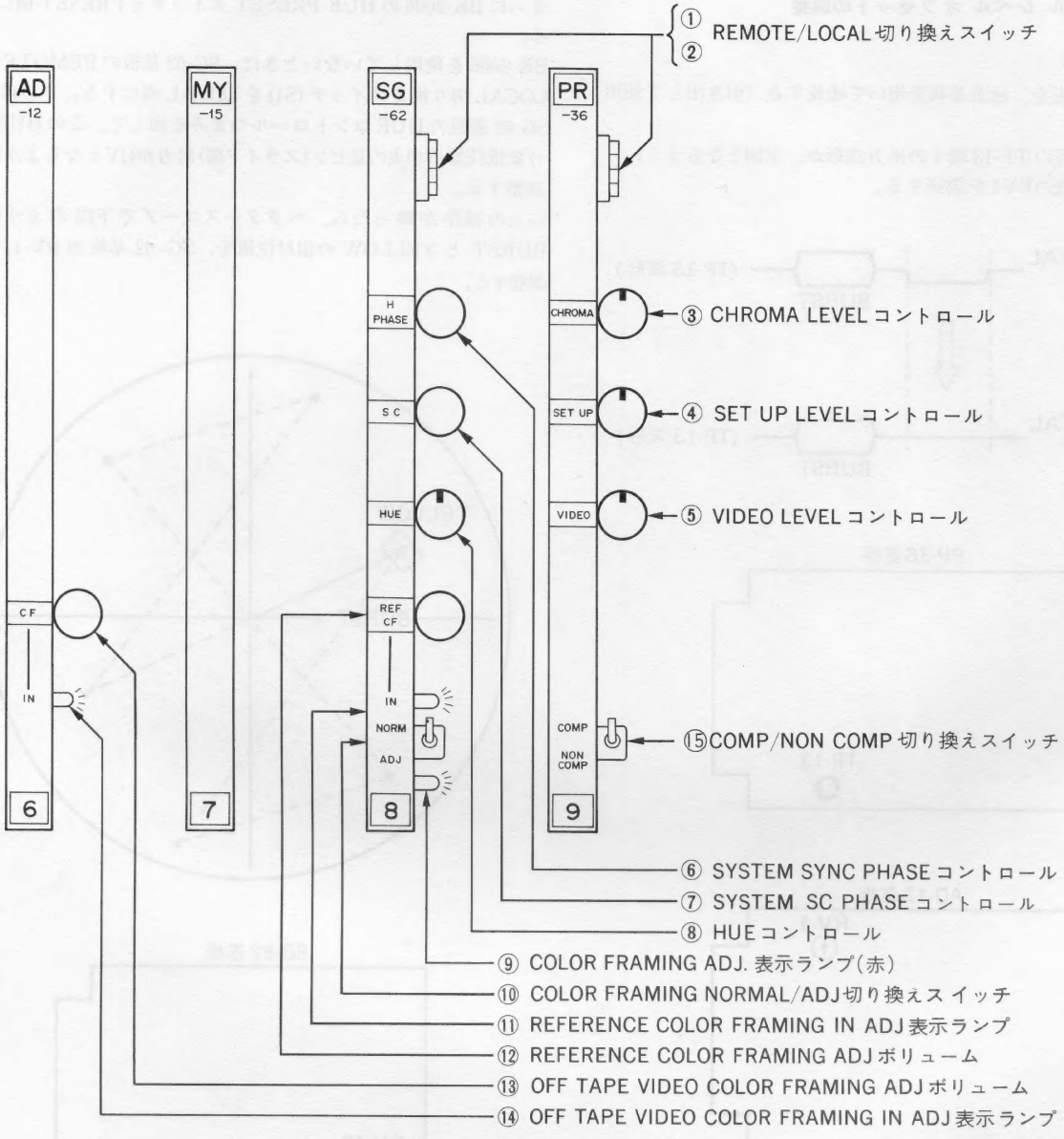
●HUE の PRESET

BK-2006（別売リモコンユニット）使用時は、SG-62 基板の REMOTE/LOCAL 切り換えスイッチ (S1) を REMOTE 側にする。さらに BK-2006 の HUE PRESET スイッチを PRESET 側にする。
BK-2006 を使用していないときは、SG-62 基板の REMOTE/LOCAL 切り換えスイッチ (S1) を LOCAL 側にする。さらに、SG-62 基板の HUE コントロールつまみを回して、この HUE 可変抵抗器の中央の足ピン（スライド部）出力が 0V となるように調整する。
以上の操作が終ったら、ベクタースコープで下図のように BURST と YELLOW の相対位置を、SG-62 基板の RV-12 で調整する。





1-5. 各部の名称と働き


① REMOTE/LOCAL切り換えスイッチ
②
AD
-12
MY
-15
SG
-62
PR
-36
H PHASE
SC
HUE
REF CF
IN
NORM
ADJ
CF
IN
CHROMA
SET UP
VIDEO
COMP
NON COMP
6
7
8
9
③ CHROMA LEVEL コントロール
④ SET UP LEVEL コントロール
⑤ VIDEO LEVEL コントロール
⑮COMP/NON COMP 切り換えスイッチ
⑥ SYSTEM SYNC PHASE コントロール
⑦ SYSTEM SC PHASE コントロール
⑧ HUE コントロール
⑨ COLOR FRAMING ADJ. 表示ランプ(赤)
⑩ COLOR FRAMING NORMAL/ADJ切り換えスイッチ
⑪ REFERENCE COLOR FRAMING IN ADJ表示ランプ
⑫ REFERENCE COLOR FRAMING ADJボリューム
⑬ OFF TAPE VIDEO COLOR FRAMING ADJボリューム
⑭ OFF TAPE VIDEO COLOR FRAMING IN ADJ表示ランプ

①REMOTE/LOCAL 切り換えスイッチ
(SYSTEM SYNC, SC PHASE, HUE)

②REMOTE/LOCAL 切り換えスイッチ
(CHROMA, SET UP, VIDEO)

TBC リモコンユニット BK-2006(別売)を使用の場合は REMOTE 側にする。

③CHROMA LEVEL コントロール
CHROMA LEVEL 調整ボリュームで、 ± 3 dB の可変範囲を有します。

④SET UP LEVEL コントロール
SET UP LEVEL 調整ボリュームで、 0 ～15 IREの範囲で SET UP を可変できます。

⑤VIDEO LEVEL コントロール
VIDEO LEVEL 調整ボリュームで、±3dB の可変範囲を有します。

⑥SYSTEM SYNC PHASE コントロール
SYSTEM SYNC PHASE 調整ボリュームで、－1 ～＋3μs の範囲で REFERENCE VIDEO に対して可変できます。

⑦SYSTEM SC PHASE コントロール
SYSTEM SC PHASE調整ボリュームで、360°以上 REFERENCE VIDEO に対して可変できます。

⑧HUEコントロール
HUE 調整ボリュームでHUEを±15°変えることができます。

⑨COLOR FRAMING ADJ 表示ランプ(赤)
COLOR FRAMING 調整中を表示するランプ。調整中は、赤に点灯します。

⑩COLOR FRAMING NORMAL/ADJ 切り換えスイッチ
COLOR FRAMING 調整スイッチでADJ側で調整状態に入ります。

⑪REFERENCE COLOR FRAMING IN ADJ 表示ランプ
REFERENCE側SC-Hの最適位相を表示するランプ。
グリーンに点灯すれば、調整完了。(点灯したまま。)

⑫REFERENCE COLOR FRAMING ADJ ボリューム
REFERENCE 側 SC-Hの最適位相調整ボリューム。

⑬OFF TAPE VIDEO COLOR FRAMING ADJ ボリューム
OFF TAPE側 SC-Hの最適位相調整ボリューム。

⑭OFF TAPE VIDEO COLOR FRAMING IN ADJ 表示ランプ
OFF TAPE側 SC-Hの最適位相を表示するランプ。
グリーンに点灯すれば調整完了。(点灯したまま。)

⑮COMP/NON COMP 切り換えスイッチ
BVH-2000 の VIDEO OUT 端子の出力を COMP か NON COMP に切り換えられます。
OUT PUT の切り換えモードは、1－8ページ「TBC OUT 選択」の項を参照。

1-6. 調整

REFERENCE 側 COLOR FRAMING の調整

(REFERENCE側SC-Hの最適位相調整)

操　作	備　考
正しいREF信号を入力する。	
↓	
SYNC PHASE コントロール、SC PHASE コントロールを調整する。	
↓	
⑩COLOR FRAMING NORMAL/ ADJスイッチをADJ側にする。	調整状態に入る。 調整中は、⑨COLOR FRAMING ADJ 表示ランプが赤に点灯する。
↓	
⑫REFERENCE COLOR FRAMING ADJ ボリュームを回して、⑪LEDランプが緑に点灯するようにする。	REFERENCE側のSC-Hが最適位相に調整される。
↓	
⑩COLOR FRAMING NORMAL/ ADJ スイッチを NORMAL 側にする。	調整完了。 ⑨のCOLOR FRAMING ADJ 表示ランプが消灯。

OFF TAPE 側 COLOR FRAMING の調整

(OFF TAPE側SC-Hの最適位相調整)

操　作	備　考
VTRを順方向1倍速再生モードにする。	
↓	
⑩COLOR FRAMING NORMAL/ ADJスイッチをADJ側にする。	調整状態に入る。 調整中は、⑨COLOR FRAMING ADJ 表示ランプが赤に点灯する。
↓	
⑬OFF TAPE VIDEO COLOR FRAMING ADJ ボリュームを回して⑭LEDランプが緑に点灯するようにする。	OFF TAPE側のSC-Hが最適位相に調整される。
↓	
⑩COLOR FRAMING NORMAL/ ADJスイッチをNORMAL側にする。	調整完了。 ⑨のCOLOR FRAMING ADJ 表示ランプが消灯。

1-7. 操作

ADVANCE量の選択

BVH-2000本体のCD-17基板のADV選択スイッチをBKH側にする。スイッチを切り換えることにより、ドラム位相はREF SYNCに対し、1.5H進むようになる。

REMOTE/LOCAL選択

BKH-2100 の SG-62 基板 と PR-36 基板 の REMOTE/LOCAL 切り換えスイッチ ①、② を LOCALにする。

TBC OUT選択

OUTPUT	VM-01基板(部品面)の OUT-3 DEM↔BKH 切り換えスイッチ	VM-01基板(部品面)の OUT-1, 2 DEM↔BKH(HT) 切り換えスイッチ	BVH-2000のPICTURE MONITOR選択ボタン	BVH-2000 の WAVE-FORM MONITOR 選択ボタン
MONITOR VIDEO*2		BKH (HT)	TBC	
MONITOR WFM*2		BKH (HT)	TBC	SELECT VIDEO
VIDEO-1, VIDEO-2		BKH (HT)		
VIDEO-3	BKH*1			

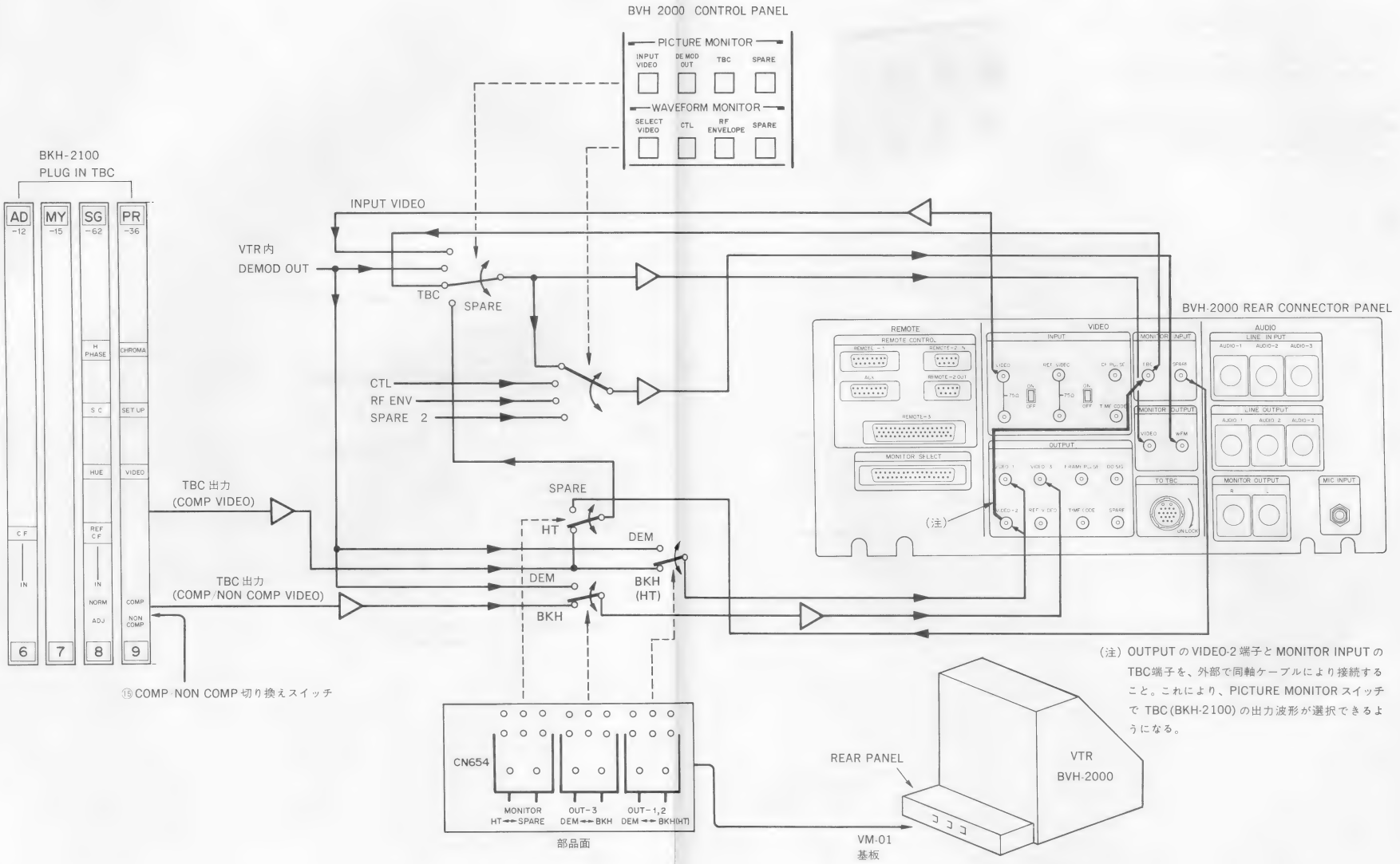
*1 VTR本体のVM-01基板のOUT-3スイッチ (S2) をBKH側にすると、 プラグイン TBC BKH-2100の出力がVTRのVIDEO-3端子に出る。
この状態で、BKH-2100 PR-36 基板の⑮COMP/NON COMP切り換えスイッチにより、COMP またはNON COMP 出力がVIDEO-3 端子から得られる。(右図参照)

*2 OUTPUT の VIDEO-2端子と MONITOR INPUT の TBC 端子を必ず接続しておいてください。接続されていないと出力信号は得られません。

ご注意

- BVH-2000をRECモードにせずに同時再生状態で動作させると、画面が横に140ns 動くことがあります。
- VM-01基板上のスイッチの名称が、一部異なる場合があります。

1-8. シグナル　フローチャート



(注) OUTPUT の VIDEO-2 端子と MONITOR INPUT の TBC端子を、外部で同軸ケーブルにより接続すること。これにより、PICTURE MONITOR スイッチで TBC (BKH-2100) の出力波形が選択できるようになる。

1-9. リモートコントロール

BK-2006

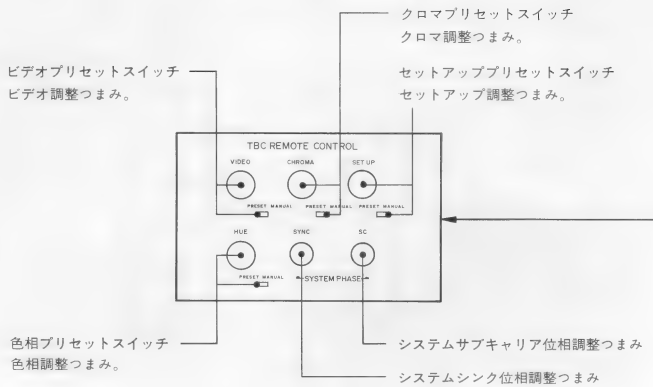
TBCリモコンユニット BK-2006 (別売) を使用すると、下記の信号をリモートコントロールできます。
VIDEO GAIN、SET UP、CHROMA GAIN、HUE、
SYSTEM SC PHASE、SYSTEM SYNC PHASE

操作

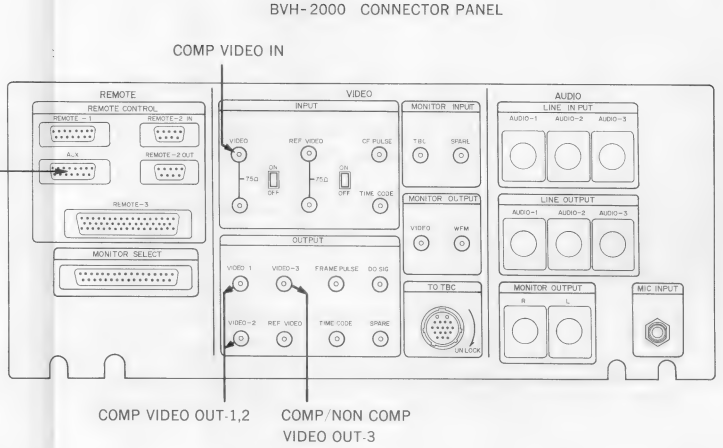
BKH-2100のSG-62基板とPR-36基板のREMOTE/LOCAL切り換えスイッチ①、②ともREMOTE側にする。
他の操作はBKH-2100と同じです。

接続

TBCリモコンユニットBK-2006(別売)



BVH-2000 CONNECTOR PANEL



SECTION 1
OPERATION

1-1. OUTLINE

The BKH-2100 is a plug-in type time base corrector composed from four circuit boards for the Sony 1-inch video tape recorder BVH-2000. This time base corrector has been designed to be used in the BVH-2000 electronic bay. The video signal is processed so that a broadcast quality picture is obtained in the forward normal speed playback mode.

1-2. FEATURES

- Velocity error is compensated with the approximate curve to obtain a high quality picture.
- Built-in dropout compensator replaces the dropout section with the 1 H prior signal.
- Horizontal lines from the tenth to the twenty-first of the V-blanking can be set to on and off independently with the S2 and S3 switches on the SG-62 board.
- Locked monochrome picture at ±50 times normal speed can be obtained in the shuttle mode.
- Remote-control is possible with the BK-2006 remote control unit (optional).
- Playback sampling is 8 bits x 4 fsc.

Note
The dynamic-tracking playback picture will be monochrome.

1-3. SPECIFICATIONS

1-3-1. General

Power consumption	43.2 W
Dimensions	23 x 155 x 325 mm (w/h/d) (29/32 x 6 1/8 x 12 7/8 inches)
Weight	2.5 kg (including 4 boards) (5 lb 8 oz)
Operating temperature	5°C to 40°C (41°F to 104°F)

1-3-2. Video

Bandwidth	DC to 4.2 MHz ±0.3 dB
Signal-to-noise ratio	55 dB
DG	Less than 2%
DP	Less than 2°
K-factor	Less than 1%
Window	1 H(p-p)
Residual error	Color: within ±2.5 ns Monochrome: within ±15 ns
Y/C delay	Within 20 ns

1-3-3. Processor Adjustment Range

OUTPUT VIDEO LEVEL	±3 dB
CHROMA LEVEL	±3 dB
SET UP LEVEL	0 to 15 IRE
HUE	±15°
SYSTEM SC PHASE	More than 360°
SYSTEM SYNC PHASE	−1 to +3 μs

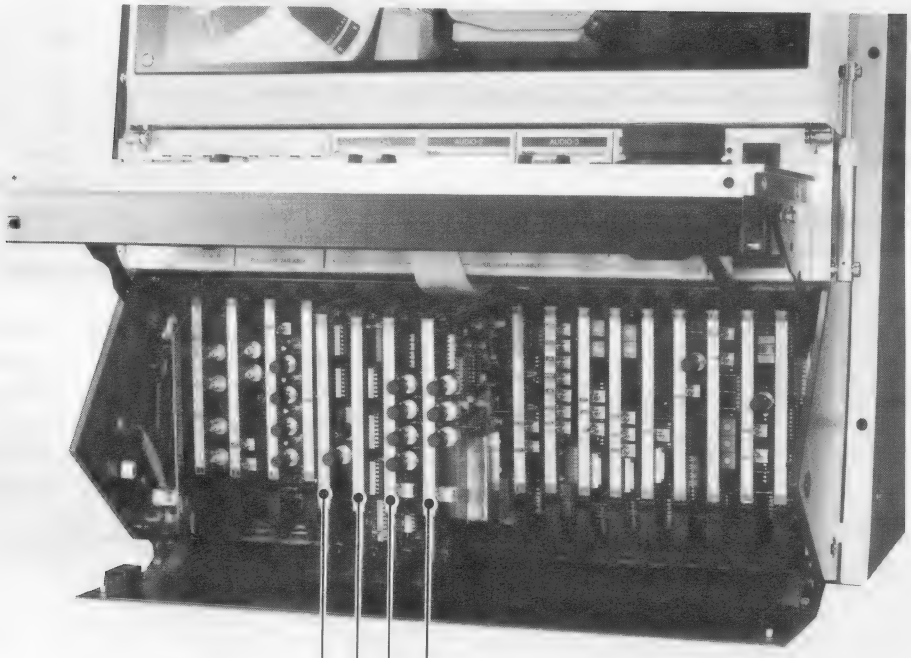
Design and specifications subject to change without notice.

1-4. INSTALLATION

1-4-1. Installation Notes

- Turn the power off to install boards.
- Correctly install the boards into the slots referring to the numbers on the boards and on the slots as illustrated below.
- Before turning the power on, check that the boards are installed into the correct slots. **If they are installed into the wrong slots, the circuit may be broken.**

Do not remove or reinsert the boards unless it is necessary.



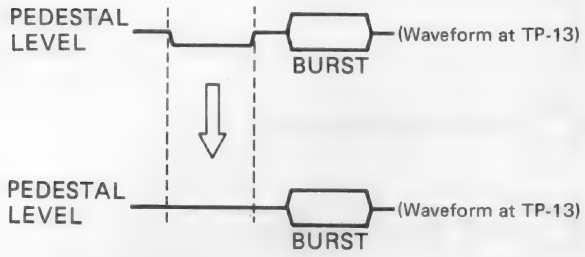
	Board No.	Board Name	
BKH-2100	6	AD-12	A/D CONVERTER
	7	MY-15	MEMORY
	8	SG-62	SYNC GENERATOR
	9	PR-36	PROCESSOR

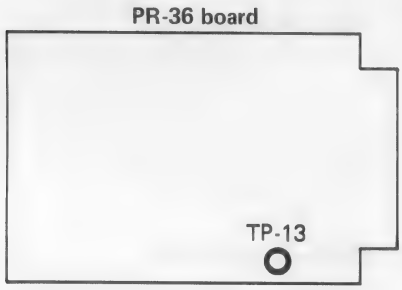
1-4-2. Initial Setting

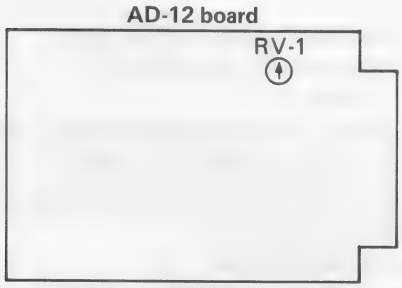
Pedestal level offset adjustment

Method 1

Pull out the AD-12 board using the extension board and adjust the RV-1 on the AD-12 board so that the waveform at the TP-13 on the PR-36 board will be as shown below.







Method 2

Set the SET UP PRESET switch on the TBC remote control unit to PRESET.

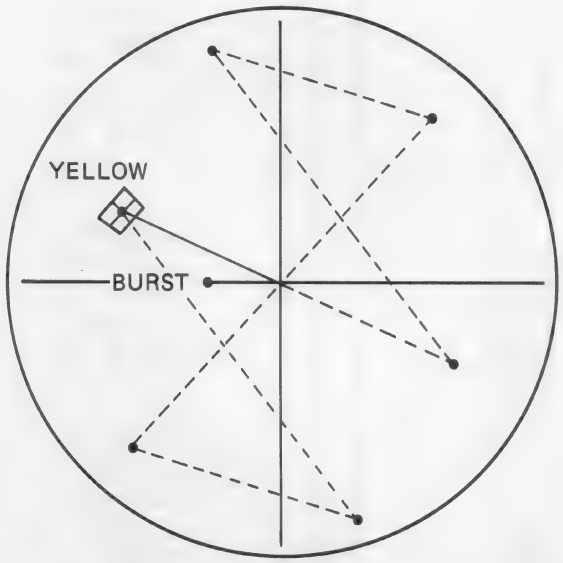
Observe the video output signal on the waveform monitor and adjust the RV-1 on the AD-12 board so that the set-up will be 0 IRE.

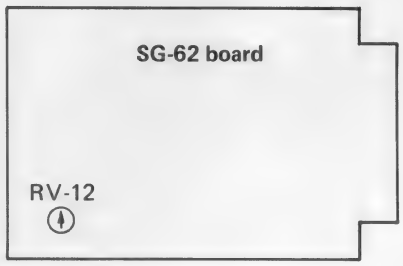
HUE preset

When the BK-2006 remote control unit (optional) is used, set the REMOTE/LOCAL switch (S1) on the SG-62 board to REMOTE, and the HUE switch on the BK-2006 to preset.

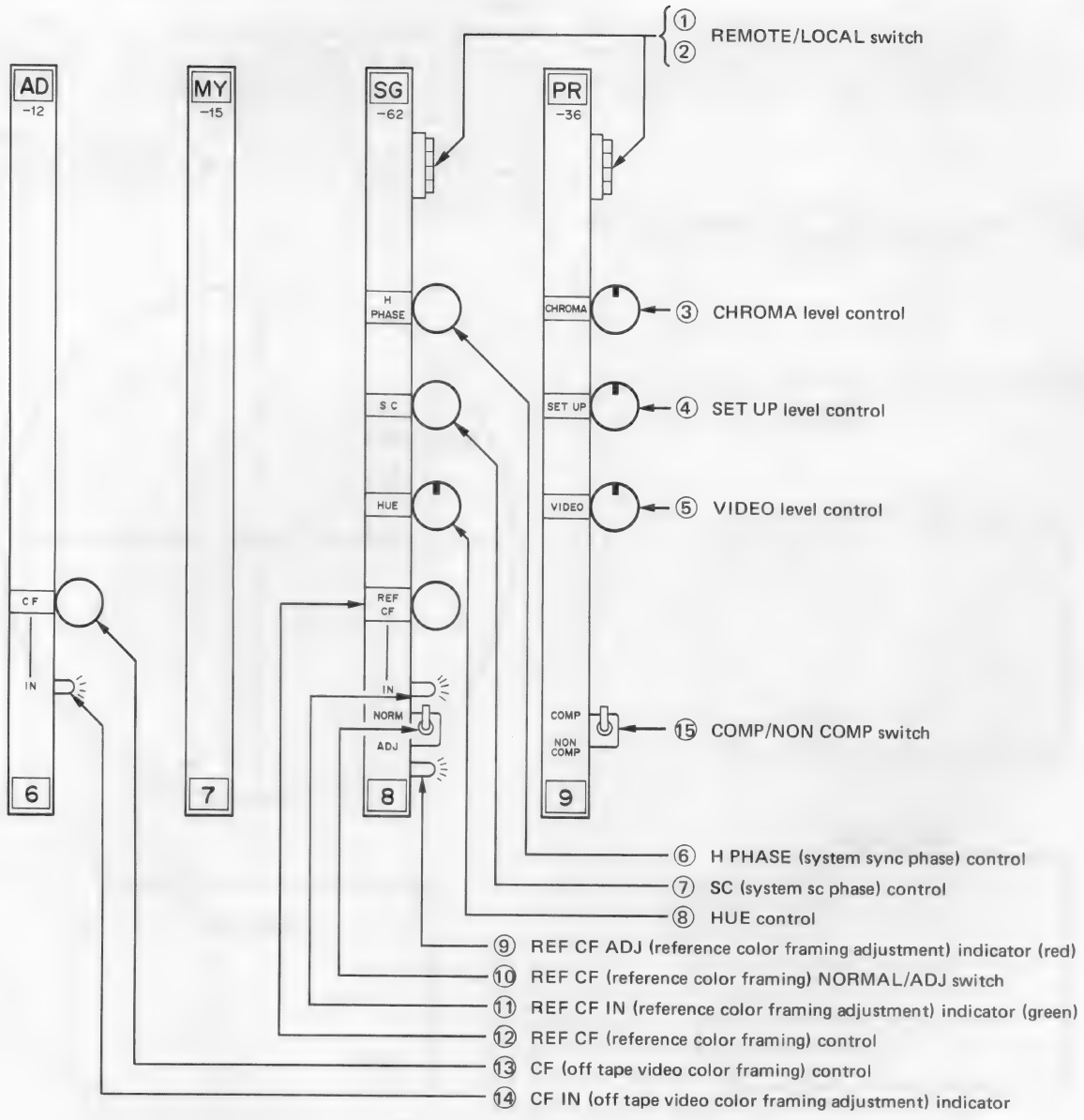
When the BK-2006 is not used, set the REMOTE/LOCAL switch (S1) on the SG-62 board to LOCAL, and turn the HUE control so that the output at the center pin of the HUE volume will be 0 V.

Then adjust the RV-12 on the SG-62 so that the relative phase of the BURST and YELLOW as illustrated below on the vectorscope.





1-5. LOCATION AND FUNCTION OF PARTS



① REMOTE/LOCAL switch (for H PHASE, SC, HUE)
Set to REMOTE when the BK-2006 remote control unit is used.

② REMOTE/LOCAL switch (for CHROMA, SET UP, VIDEO)
Set to REMOTE when the BK-2006 remote control unit is used.

③ CHROMA level control
The chroma level can be adjusted within a range of ±3 dB.

④ SET UP level control
The set up level can be adjusted from 0 to 15 IRE.

⑤ VIDEO level control
The video level can be adjusted within a range of ±3 dB.

⑥ H PHASE (system sync phase) control
The H phase of the playback signal can be adjusted to that of the reference video signal. The adjustable range is −1 to +3 μs.

⑦ SC (system sc phase) control
The SC phase of the playback signal can be adjusted to that of the reference video signal. The adjustable range is 360° and more.

⑧ HUE control
The hue can be adjusted within a range of ±15°.

⑨ REF CF ADJ (reference color framing adjustment) indicator (red)
This indicator lights during adjusting the color framing.

⑩ REF CF (reference color framing) NORMAL/ADJ switch
To adjust the color framing, set this switch to ADJ; in other cases, set it to NORMAL.

⑪ REF CF IN (reference color framing adjustment) indicator (green)
This indicator lights to indicate the optimum SC-H phase of the reference video signal.

⑫ REF CF (reference color framing) control
The SC-H phase of the reference video signal can be adjusted.

⑬ CF (off tape video color framing) control
The SC-H phase of the off tape video signal can be adjusted.

⑭ CF IN (off tape video color framing adjustment) indicator
This indicator lights to indicate the optimum SC-H phase of the off tape video signal.

⑮ COMP/NON COMP switch
The output signal of the VIDEO OUT connector on the BVH-2000 is selected, composite video or non-composite video.

1-6. ADJUSTMENTS

Adjusting the color framing (the optimum SC-H phase) of the reference signal

Operation	Remarks
Connect the reference signal.	
↓	
Adjust the H PHASE control and the SC control.	
↓	
Set the REF CF NORMAL/ADJ switch ⑩ to ADJ.	Adjustment begins. The REF CF ADJ indicator (red) ⑨ is lit during adjusting.
↓	
Turn the REF CF ADJ control ⑫ so that the REF CF ADJ indicator (green) ⑪ lights.	The SC-H phase of the reference signal can be adjusted to the optimum value.
↓	
Set the REF CF NORMAL/ADJ switch to NORMAL.	Adjustment completed. The REF CF ADJ indicator goes off.

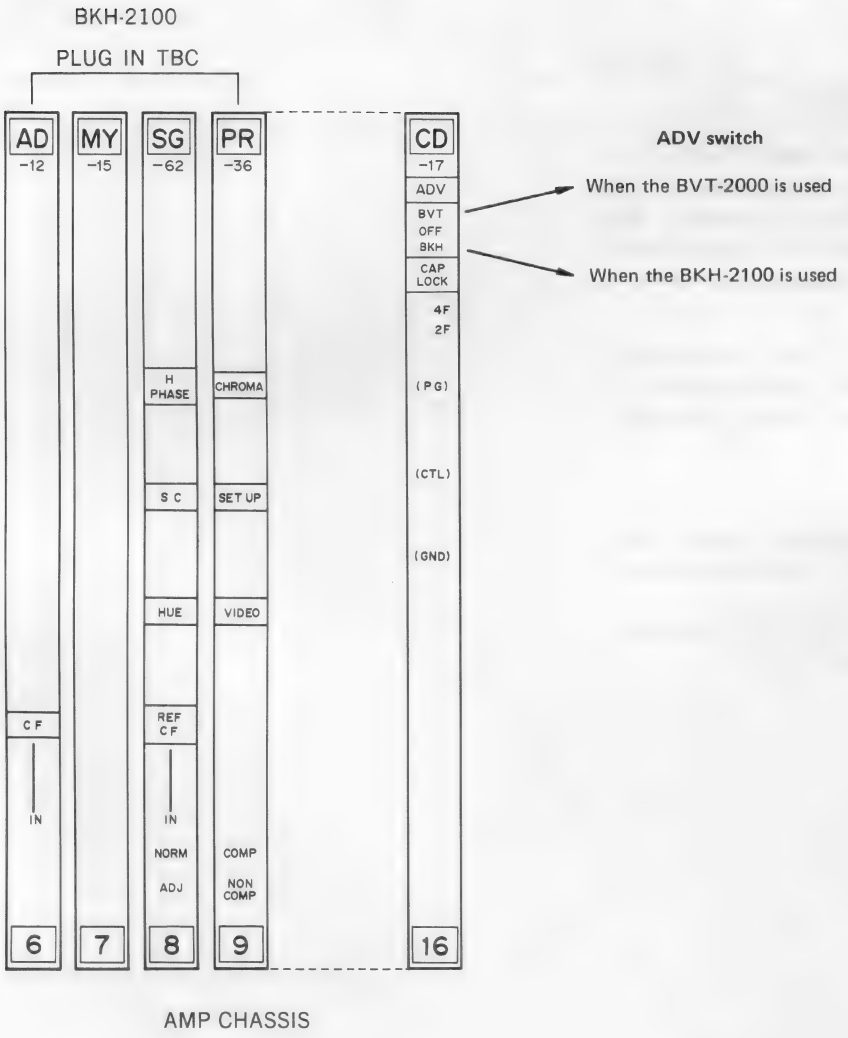
Adjusting the color framing (the optimum SC-H phase) of the off tape video signal

Operation	Remarks
Play the tape back with a normal speed in forward direction.	
↓	
Set the REF CF NORMAL/ADJ switch ⑩ to ADJ.	Adjustment begins. The REF CF ADJ indicator (red) ⑨ is lit during adjusting.
↓	
Turn the CF control ⑬ so that the CF IN indicator ⑭ lights.	The SC-H phase of the off tape video signal can be adjusted to the optimum value.
↓	
Set the REF CF NORMAL/ADJ switch ⑩ to NORMAL.	Adjustment completed. The REF CF ADJ indicator goes off.

1-7. OPERATION

Selection of phase advance

Set the ADV switch on the CD-17 board of the BVH-2000 to BKH. The drum phase advances by 1.5H against the reference sync.



Setting of the REMOTE/LOCAL switch

Set the REMOTE/LOCAL switches on the SG-62 board and the PR-36 board to LOCAL.

Selection of the TBC OUT

OUTPUT	OUT-3 DEM ⟷ BKH switch on the VM-01 board	OUT-1, 2 DEM ⟷ BKH(HT) switch on the VM-01 board	PICTURE MONITOR select button on the BVH-2000	WAVEFORM MONITOR select button on the BVH-2000
MONITOR VIDEO*2		BKH (HT)	TBC	
MONITOR WFM *2		BKH (HT)	TBC	SELECT VIDEO
VIDEO-1, VIDEO-2		BKH (HT)		
VIDEO-3	BKH *1			

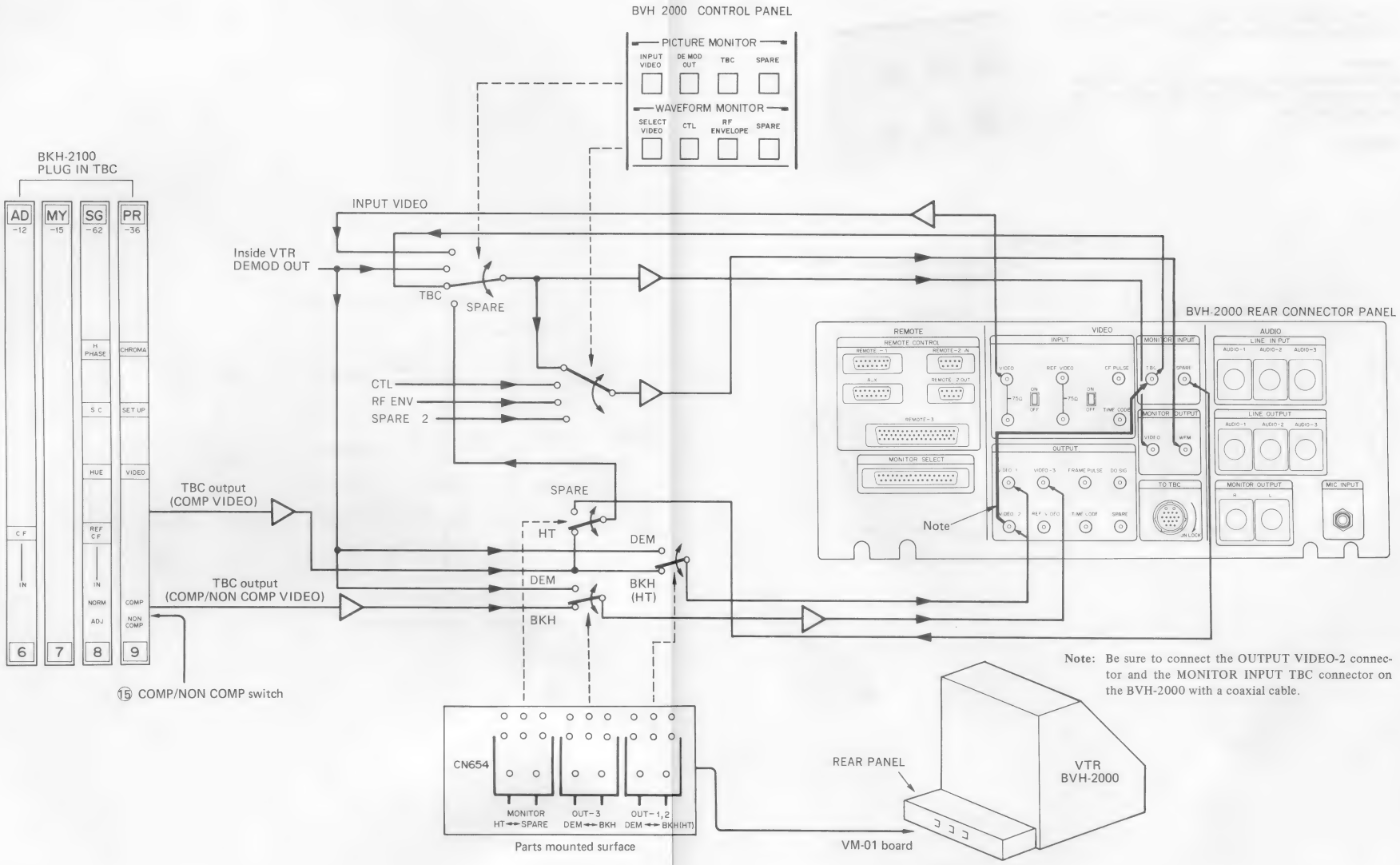
*1 When the OUT-3 switch on the VM-01 board of the BVH-2000 is set to BKH, the output signal of the BKH-2100 is fed from the VIDEO-3 connector. The COMP/NON COMP switch on the PR-36 board decides the output signal of the VIDEO-3 connector, composite signal or non-composite signal.

*2 The OUTPUT VIDEO-2 connector and the MONITOR INPUT TBC connector on the BVH-2000 should be connected with a coaxial cable, or the output signal cannot be obtained.

Notes

- If the BVH-2000 is in the confidential playback mode without performing recording, the picture may horizontally move by 140 ns.
- The names of some switches on the VM-01 board may be different from those in the above table.

1-8. SIGNAL FLOW CHART



Note: Be sure to connect the OUTPUT VIDEO-2 connector and the MONITOR INPUT TBC connector on the BVH-2000 with a coaxial cable.

1-9. REMOTE CONTROL

The following signals can be remotely controlled with the BK-2006 remote control unit (optional).

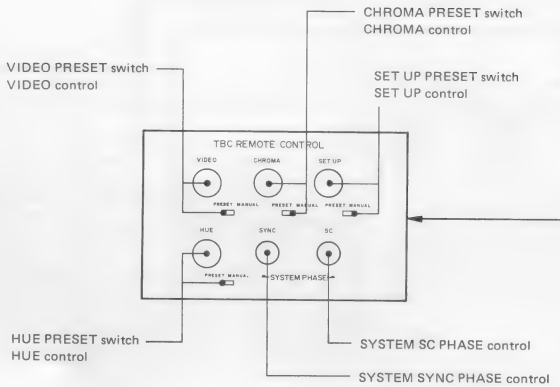
Operation

Set the REMOTE/LOCAL switches on the SG-62 board and the PR-36 board to REMOTE. The other operation is the same as the BKH-2100.

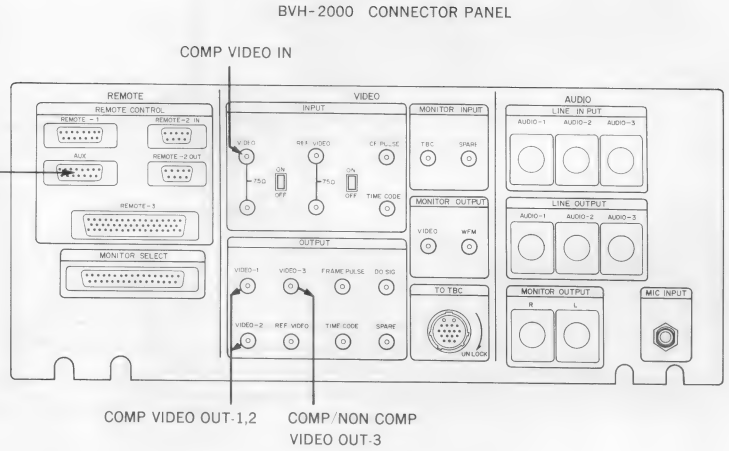
Connection

BK-2006

BK-2006 (optional)



BVH-2000 CONNECTOR PANEL



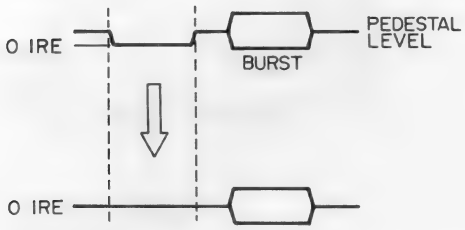
第2章
設　置

2－1. 調整

2－1－1. ペデスタルレベルオフセット調整

測 定 器　；オシロスコープ
VTRのモード；EE
VTR入力信号；カラービデオ信号

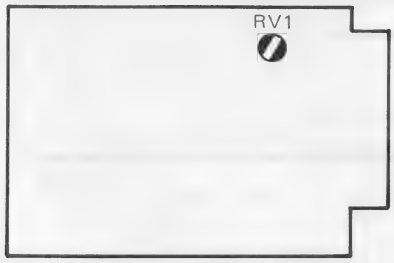
PR-36 board
TP13



RV1, AD-12 board

PR-36 board

AD-12 board



2－1－2. HUEコントロールのプリセッティング

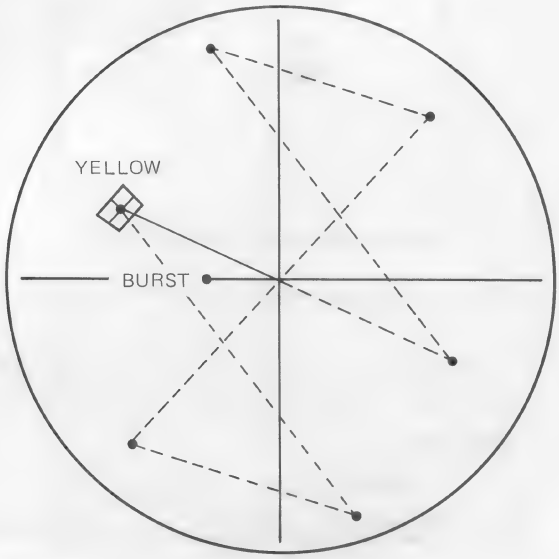
測 定 器　；ベクトルスコープ
VTRのモード；EE
VTR入力信号；カラーバー信号

Step 1. SG-62基板のHUE REMOTE/LOCALスイッチをLOCALにする。

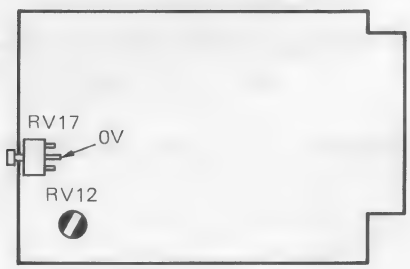
Step 2. SG-62基板のHUEコントロールを回して，HUEコントロール用ボリューム（RV17）の摺動端子（中央端子）の電圧を0Vにする。

Step 3. SG-62基板のRV12で，TBC出力（VTR，VIDEO OUT 1～3）のBURST-YELLOWの相対位相を下図のように調整する。

BVH-2000, VIDEO OUT

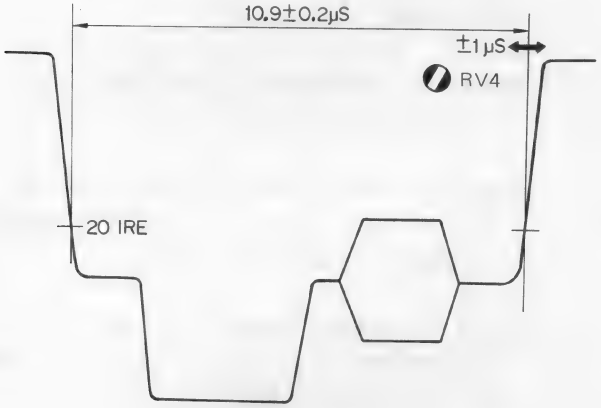


SG-62 board

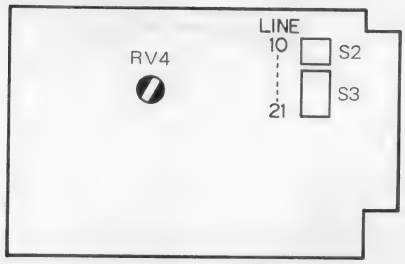


2－1－3. H BLK幅調整

SG-62基板のRV4にて，H BLK幅を約±1μs加減できる。

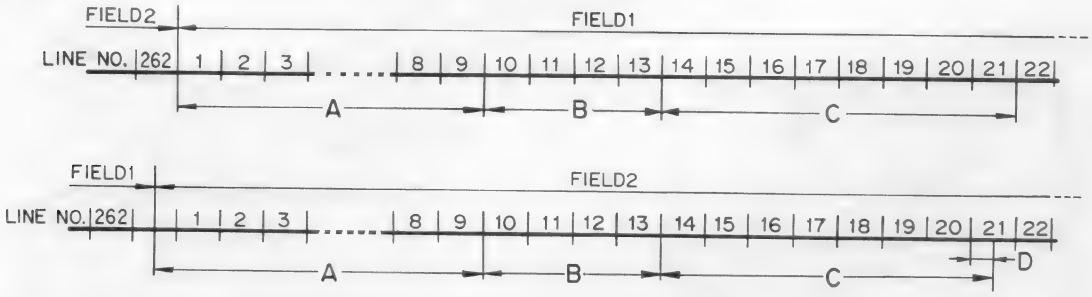


SG-62 board



2－1－4. V BLKラインセレクト

SG-62基板のスイッチS2，S3にて，TBC出力信号の10～21ラインまでの任意のラインのブランキングを設定できる。



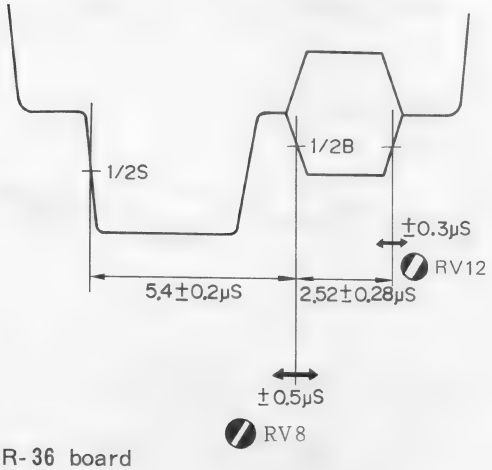
工場出荷時のS2，S3は次のように設定されている。

S2；10～13ライン　ON
S3；14～20ライン　ON
　　21ライン　　OFF

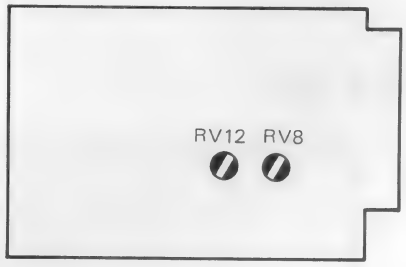
A；S2，S3に関係なく常にブランキングされる。
B；S2にて選択できる。
C；S3にて選択できる。
D；FIELD2では，21ラインはD部のみがブランキングされる。

2－1－5. バースト位置・幅調整

PR-36基板のRV8，RV12にてバースト信号の位置（RV8），幅（RV12）を調整できる。

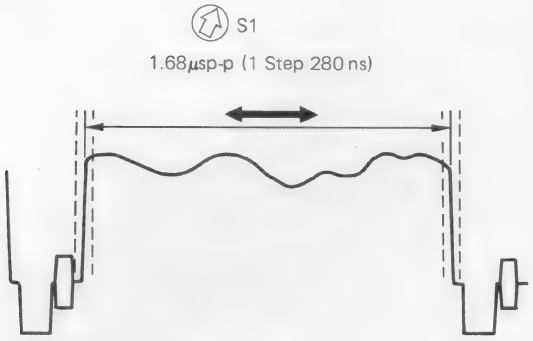


PR-36 board



2－1－6. ビデオ位相調整

AD-12基板のロータリースイッチS1にて，ビデオ位相を1ステップ280 nsで7ステップ(1.68μsp-p)まで加減できる。



AD-12 board

2－1－7. 基板交換時の調整

AD-12基板又はSG-62基板を交換した場合は,次の調整が必要。

Step 1. ベロシティ・エラーオフセット調整

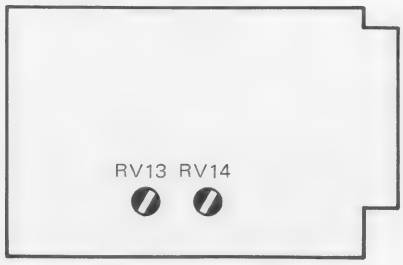
測 定 器 ; ベクトルスコープ，TV信号発生器
VTRのモード; EE
VTR入力信号; カラー･フィールド又はハーフレッド信号
SG-62基板のRV14にて，VTR入力信号に対応したカラースポットを最小にする。（ハーフレッド信号の場合はREDスポット）

Step 2. ベロシティ・エラーゲイン調整

測 定 器 ; ベクトルスコープ
VTRのモード; ノーマル再生
VTR再生信号; カラーバー信号

SG-62基板のRV13にて，TBC出力信号のBLUEスポットを最小にする。

SG-62 board



* Step1，2の観測点はBVH-2000，VIDEO OUT.

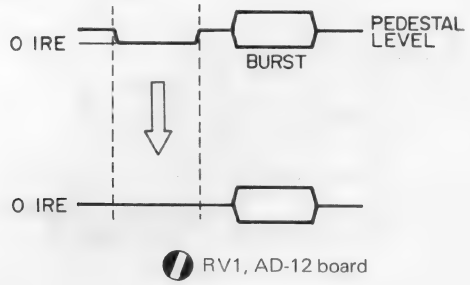
SECTION 2
INSTALLATION

2-1. ADJUSTMENTS

2-1-1. Pedestal Level Offset Adjustment

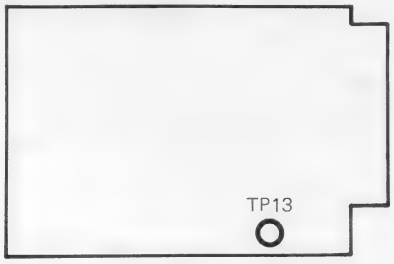
Equipment ; oscilloscope
Mode of VTR ; EE
VTR input signal ; color video signal

PR-36 board
TP13

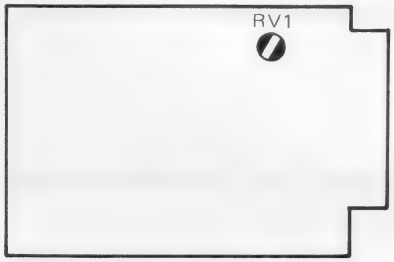


RV1, AD-12 board

PR-36 board



AD-12 board



2-1-2. HUE Control Presetting

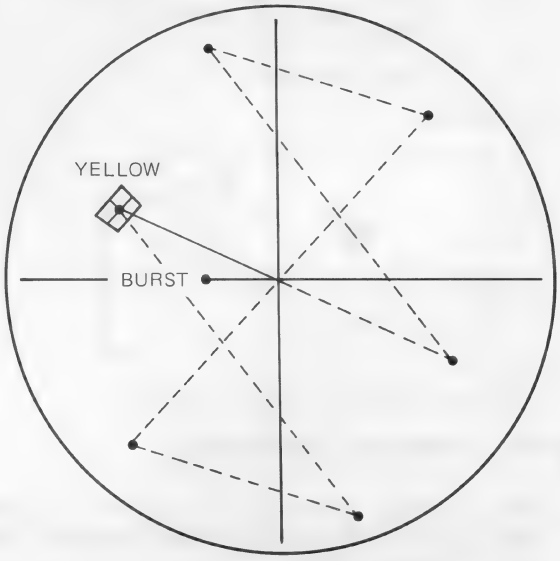
Equipment ; vectorscope
Mode of VTR ; EE
VTR input signal ; color-bar signal

Step 1. Switch Setting
HUE REMOTE/LOCAL sw (SG-62 board); LOCAL

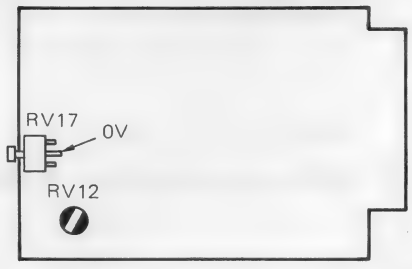
Step 2. LOCAL HUE Control Setting
DC 0 V at the RV17 center pin.

Step 3. HUE Presetting
Set the BURST-YELLOW phase as below.
RV12, SG-62 board

BVH-2000, VIDEO OUT

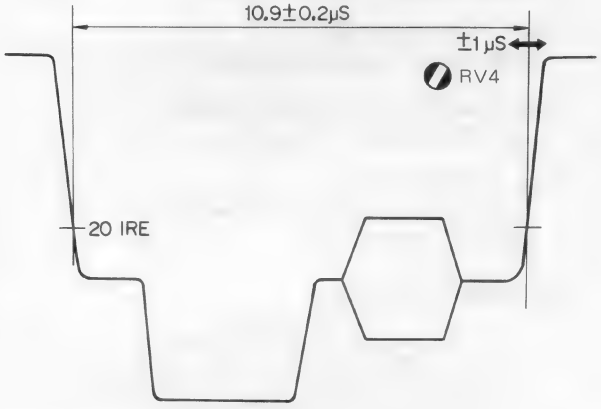


SG-62 board

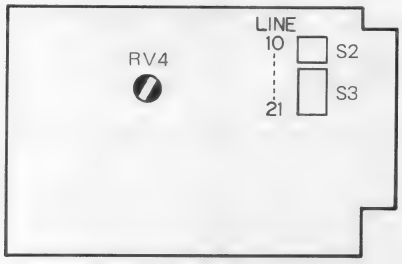


2-1-3. H Blanking Width Adjustment

The H blanking width of the TBC output signal can be varied approximately +/−1 μs by RV4 on the SG-62 board.

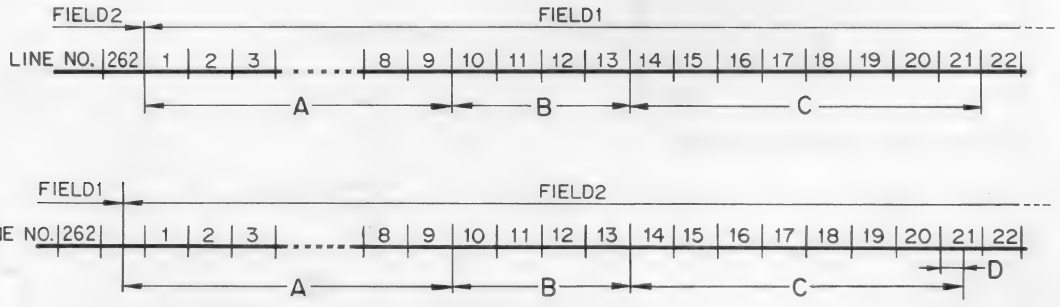


SG-62 board



2-1-4. V Blanking Line Selection

The V blanking of any line up to lines 10 - 21 of the TBC output can be turned ON/OFF by switches S2 and S3 on the SG-62 board.

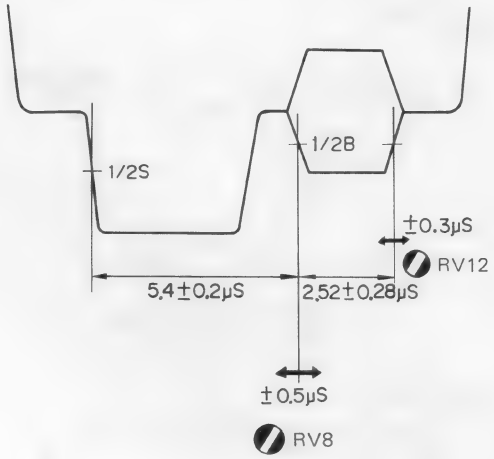


S2, S3 setting at the factory

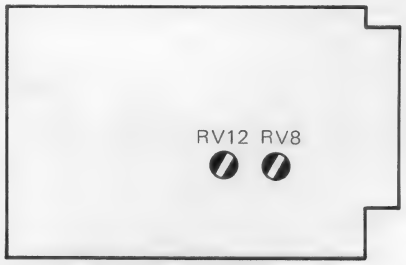
S2; Lines 10 to 13 ON
S3; Lines 14 to 20 ON
Line 21 OFF

2-1-5. Burst Position/Width Adjustment

The burst position and width of the TBC output can be varied by RV8 (position) and RV12 (width) on the PR-36 board.



PR-36 board

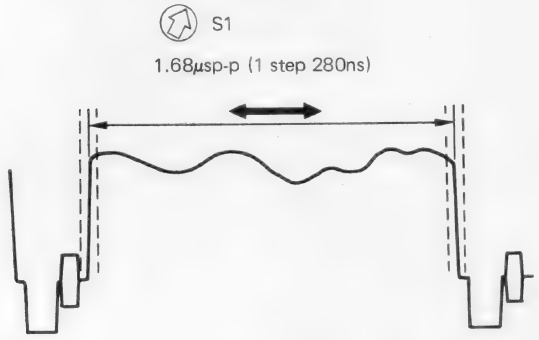


A; Not affected by S2, S3. Blanking is always performed.
B; Affected by S2.
C; Affected by S3.
D; In the FIELD 2, half-H blanking is performed by line 21 of S3.

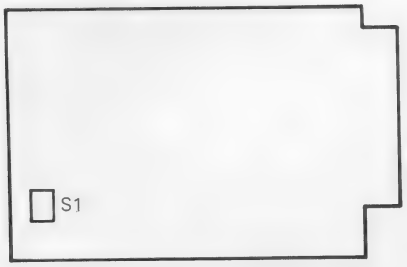
2-1-6. Video Phase Adjustment

The video phase of the TBC output signal can be varied 1.68 μsp-p by rotary switch S1 on the AD-12 board.

S1; 1 step 280ns, 7 steps.



AD-12 board



2-1-7. Adjustment after Board Replacement

When the AD-12 or SG-62 board is replaced, the adjustments should be performed as below.

Step 1. Velocity Error Offset Adjustment

Equipment	;	vectorscope NTSC test signal generator
Mode of VTR	;	EE
VTR input signal	;	color field or half-red signal

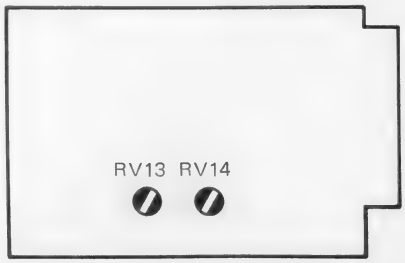
Minimize the color spot size by RV14 on the SG-62 board.
When VTR input signal is half-red, minimize the red color spot.

Step 2. Velocity Error Gain Adjustment

Equipment	;	vectorscope
Mode of VTR	;	normal playback
VTR playback signal	;	color-bar

Minimize the BLUE spot size by RV13 on the SG-62 board.

SG-62 board



* Step 1, 2 observation point; BVH-2000, VIDEO OUT

第3章
回路説明

3-1. 概要

3-1-1. 回路構成

BKH-2100の基本的な回路構成を図3-1-1に示す。
BKH-2100はAD-12, MY-15, SG-62, PR-36の4枚のプリント基板で構成される。
メモリー書込み側のビデオ信号系回路とクロック・制御信号系回路はAD-12基板に設けられている。MY-15基板はTBCのメインメモリーであり，ビデオ信号のドロップアウト補償もここで行なわれる。メモリー読出し側のビデオ信号系回路はPR-36基板に収められている。PR-36基板内のプロセッサーにより，TBC OUTのビデオレベル，クロマレベル，セットアップが任意に調整できる。メモリー読出し側のクロック・制御信号系回路はSG-62基板に設けられている。
ビデオ信号のTBC処理の概要を図3-1-2に示す。

3-1-2. ビデオ信号系

入力ビデオ信号はビデオアンプ，前置フィルターを経た後，A/Dコンバーターにおいて4fscのサンプリング周波数で8ビットデータにディジタル化され，MY-15基板内のドロップアウト補償回路（DOC）へ送られる。このDOCは，YおよびC信号それぞれについて1H前部分置換えによるドロッ

SECTION 3
THEORY OF OPERATION

3-1. OUTLINE

3-1-1. Circuit Composition

Fig. 3-1-1 shows the basic circuit composition of BKH-2100.
BKH-2100 consists of four printed boards, AD-12, MY-15, SG-62 and PR-36.
The video signal system circuit and clock control system circuit on the memory write side are provided on the AD-12 board. The MY-15 board is the main memory of TBC, and dropout compensation of the video signal also takes place here. The video signal system circuit on the memory read side is provided on the PR-36 board. By means of the processor on the PR-36 board it is possible to adjust the video level, chroma level and setup of TBC OUT. The clock and control signal system circuit on the read side is provided on the SG-62 board.
The outline of the TBC processing of video signal is shown in Fig. 3-1-2.

3-1-2. Video Signal System

The input video signal passes through the video amplifier and pre-filter, then enters the A/D converter where it is digitized into 8-bit data by a sampling frequency of 4fsc, and is sent to the dropout compensator (DOC) on the MY-15 board. The DOC performs dropout compensation by replacing the dropout sections of Y and C signals with

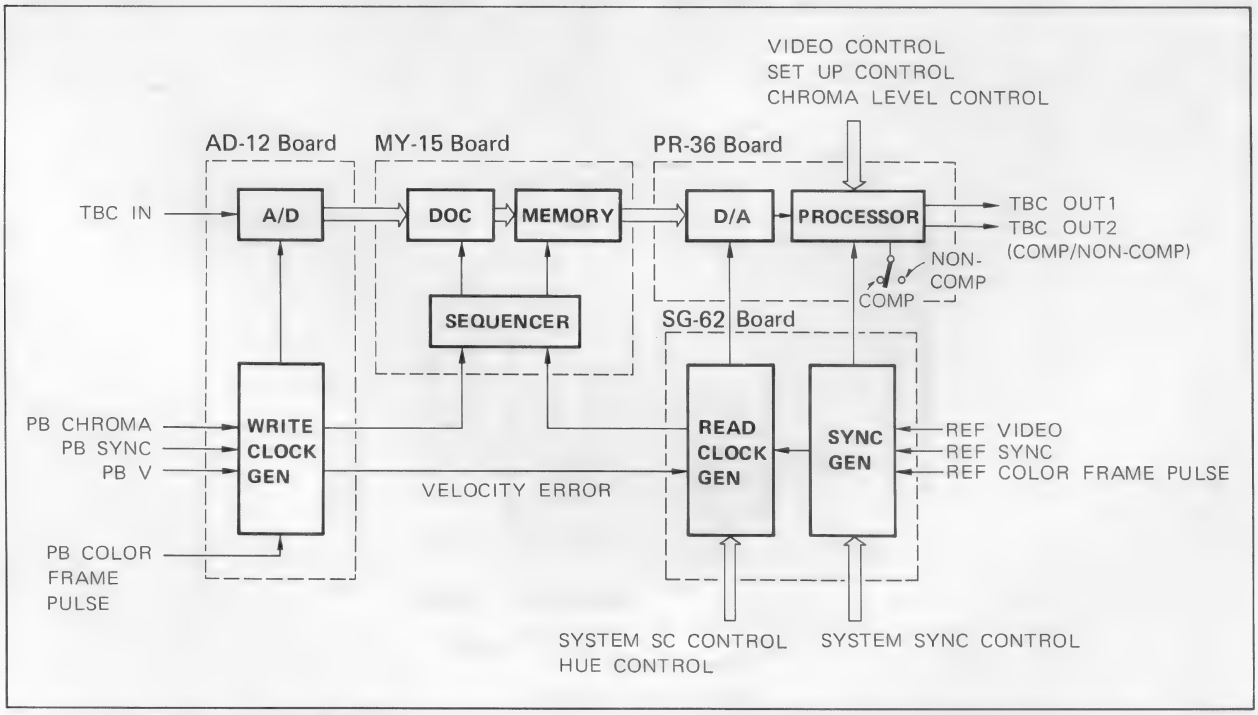


図3-1-1. BKH-2100の基本構成

Fig. 3-1-1 Basic Composition of BKH-2100

プアウト補償を行なう。Y/C分離にはディジタルフィルターが用いられている。DOCを経た8ビットデータは，再生ビデオのバースト信号に位相ロックした4fscのクロックによって1ライン単位でメモリーに書き込まれる。メモリーはRAMで構成されており，容量は3ラインである。
メモリー内の8ビットデータは，メモリーの書込み/読出しの動作が重複しないように，ある緩衝時間を置いた後，リファレンスビデオ信号に位相ロックした4fscのクロックによって1ライン単位で読み出される。メモリー容量が3ラインであり，その書込み/読出しが1ライン単位で行なわれることから，BKH-2100の時間軸補正範囲は1Hp-pであることがわかる。読み出された8ビットデータは，そのペデスタルレベルが一定値に置き換えられてからPR-36基板のD/A変換回路へ送られ，アナログのビデオ信号に復元される。ディジタル的に固定されたペデスタルレベルはD/A変換回路においてビデオレベル制御のサンプルレベルとなっている。アナログビデオ信号はこの後，クロマレベル，セットアップの各レベル制御を受け，次にリファレンスの同期信号，バースト信号が付加されてTBC出力（TBC OUT 1, 2）となる。なお，TBC OUT 2のビデオ信号はCOMP/NON COMPの設定を任意にすることができる。

each 1H prior signal. A digital filter is employed for Y/C separation. The 8-bit data which passes through DOC is written into the memory in 1-line units, by means of a 4fsc clock which is phase-locked to the off-tape burst signal. The memory consists of RAMs having a capacity of 3 lines.
The 8-bit data in the memory is read out in 1-line units by means of a 4fsc clock which is phase-locked to the reference video signal, after the lapse of a buffer time to prevent overlapping of the memory write/read operations. The range of time base correction for the BKH-2100 is 1Hp-p because the memory has a capacity of 3 lines, and write/read operation takes place in 1-line units. The read out 8-bit data is sent to the D/A converter circuit on the PR-36 board after its pedestal level is substituted by a constant value, and is then reconverted to an analog video signal. The digitally fixed pedestal level is used as the sample level for video level control at the D/A converter circuit. The analog video signal subsequently undergoes control of chroma level and setup, then the reference synch signal and burst signal are added, resulting in the TBC output (TBC OUT 1 and 2). The TBC OUT 2 video signal can be set to COMP or NON-COMP.

3-1-3. クロック・制御信号系

A/D変換とメモリー書込みに使われる書込みクロックW CKは，再生バースト信号を位相基準とするAPC方式で発生される。BKH-2100はノーマル再生信号のみを時間軸補正の対象としているので，W CKの周波数は4fscで固定である。ただし，W CKには，周波数安定化のために，V期

3-1-3. Clock and Control Signal System

The write clock W CK which is used for A/D conversion and memory write is generated in the APC system which uses the off-tape burst signal as its phase reference. Because only the normal playback video signal undergoes time base correction in BKH-2100, the frequency of W CK is fixed at 4fsc. However, for the purpose of frequency

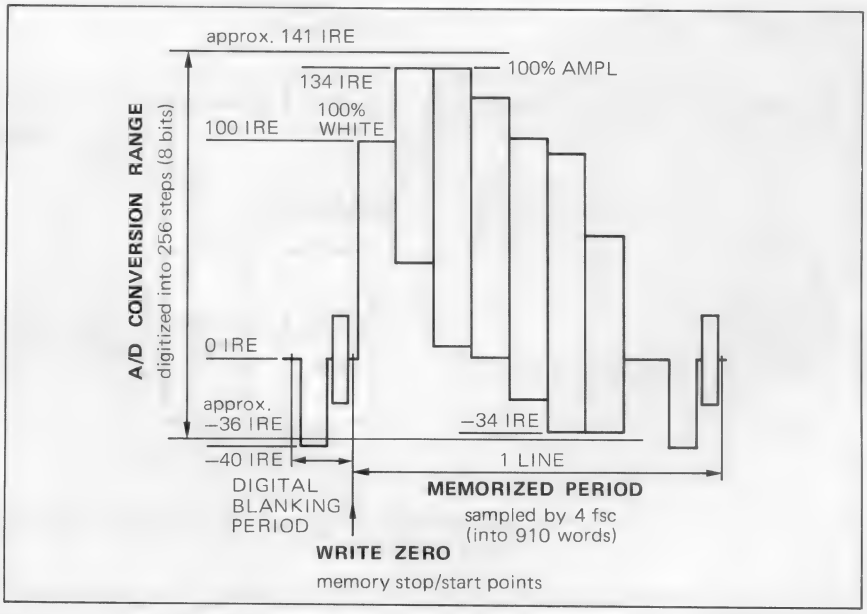


図3-1-2. ビデオ信号のTBC処理　　Fig. 3-1-2 TBC Processing of Video Signals

間においてREF Fscを基準信号とするAFCがかけられている。

メモリーの書込みスタートを指示するW ZERO信号はH SYNCエッジから常に一定の点に発生される。W ZEROは書込み側のSCであるW SC(W CKを1/4にカウントダウンした信号)で同期化されている。同期化の際のW SCは，W ZEROの発生点がライン毎にSC半サイクル分のシフトを生じることのないように，各ラインで位相反転され，ライン相互の位相関係が同相になっている。W ZEROのHに対する位相は，SC1周期分を1ステップとして7ステップの範囲で調整できる。これによってTBC出力のビデオ位相は任意に変えられる。

ベロシティエラーは，CB H(再生バースト信号中央付近のSC一波の位相をもつHレートの信号)とW SCとを位相比較することにより検出している。検出されたエラー電圧はベロシティエラーメモリーを介して読み出し側に送られ，二次曲線近似による補正を受けた後，R CKを位相変調する。これによって，カラー処理における残留位相誤差が±2.5ns以下という高精度なベロシティエラー補償が行なわれる。

D/A変換とメモリー読出しに使われる読出しクロックR CKは，SR VIDEOのバースト信号に位相ロックしたSCを4逓倍して作られる。R CKの周波数は4fscである。R CKはベロシティエラー補正のための位相変調がかけられている。また，R CKの位相はHUE調整のために外部コントロールが可能である。

メモリーの読出しスタートを指示するR ZERO信号は，W ZEROと同じように，H SYNCエッジから常に一定の点に作られる。R ZEROを同期化する読出し側のSCの位相は，W SCの位相反転に対応するように，ライン毎に反転されている。SCの位相反転を制御する信号R N/Iは，W SCの位相反転を制御する信号W N/Iがメモリーを介して読出し側に送られて来たものである。

メインメモリーの書込み/読出しのアドレス信号(W ADDRESSおよびR ADDRESS)はW CK, R CKから作られる。メインメモリーは1ラインについて1Kワードが割り当てられているが，実際にアドレッシングされるのは910ワードである。3ラインの各々のメモリーは，W LINE ADDRESS信号およびR LINE ADDRESS信号によって書込み/読出しが重複しないように制御されている。なお，BKH-2100はノーマル再生信号のみを時間軸補正の対象としているので，メモリー読出しの際のVロック制御は行なっていない。メモリーの書込み/読み出しには1.5Hのアドバンス関係があるだけである。

DOCメモリーはY信号用とC信号用が別々に設けられている。メモリー素子はRAMであり，容量は1ラインである。各々のメモリーのアドレッシングはメインメモリーと同じW ADDRESS信号で行なわれる。ドロップアウトが生じた

stabilization, AFC, whose reference signal is REF Fsc, is applied to W CK during the interval V.

The W ZERO signal which designates the start of memory write is always generated from the edge of H SYNC to a constant point. W ZERO is synchronized with W SC which is the SC on the write side. During synchronization, W SC is phase-inverted at each line, and the lines brought into phase with each other, to prevent the generation point of W ZERO shifting by the half-cycle of SC each line. The phase of W ZERO with respect to H can be adjusted in 7 steps, with each step being equal to a period of SC. In this way, the video phase of the TBC output can be varied.

Velocity error is detected by a phase comparison of CBH (H rate signal having the phase of an SC wave in the vicinity of the center of the off-tape burst signal) and WSC. The detected error voltage is sent to the read side via the velocity error memory, and after being compensated by a second order approximation, it phase-modulates the read clock R CK. In this way, high precision velocity error compensation resulting in a residual phase error of within ±2.5ns during color processing is obtained.

The R CK which is used for D/A conversion and memory read is generated by quadrupling SC which is phase-locked with the SR VIDEO burst signal. The frequency of R CK is 4fsc. Phase modulation for velocity error compensation is applied to R CK. The phase of R CK can be controlled externally for HUE adjustment.

Like W ZERO, the R ZERO signal which designates the start of memory read is always generated from the edge of H SYNC to a constant point. The phase of SC on the read side, which synchronizes R ZERO, is inverted at each line to correspond with the phase-inversion of W SC. The R N/I signal which controls the phase-inversion of SC, is the W N/I signal which has been sent to the read side via the memory. The W N/I signal controls the phase-inversion of the W SC.

The write/read address signals of the main memory (W ADDRESS and R ADDRESS) are generated from W CK and R CK. In the main memory, 1K words are assigned to one line, however in actual fact, 910 words are addressed. Each memory of three lines is controlled so that write/read are not superimposed by the W LINE ADDRESS and R LINE ADDRESS signals. Since only the normal playback video signal undergoes time base correction in BKH-2100, V lock control is not performed during memory readout. The phase relationship between write/read of the memory is the 1.5H advance.

The DOC memories for the Y signal and C signal are provided separately. The memory element is a RAM. The DOC memory has a capacity of one line. The addressing of each memory is carried out by the W ADDRESS signal which is the same as that used in the main memory. In the event of a dropout, the DOC memory data will be read out by the Y DO and C DO signals. Line phasing of the chroma signal during Y/C mixing is performed by set-

場合，Y DO, C DO信号によってDOCメモリーのデータは読み出される。Y/C MIXの際のクロマ信号のライン位相合わせは，演算モード(Y+CまたはY−C)をW N/I信号で指定することにより行なう。

シンクジェネレーターはSG-62基板に設けられている。ここからは，TBCの基準同期信号(TBC SYNC, TBC VDなど)やVブランキング信号，バーストフラグ信号が発生される。このシンクジェネレーターの外部同期信号にはBVH-2000のREF SYNCが使われる。Vブランキングについては，10ラインから21ラインまでの間の任意のラインを選択することができる。

BKH-2100はカラーフレーミング調整が可能である。メモリーの書込み，読出しの両側におけるSC-H位相が最適値に調整されると“PB CF IN”と“REF CF IN”のランプが点灯する。

ting the arithmetic mode (Y+C or Y−C) by means of a W N/I signal.

A sync generator is provided on the SG-62 board. From here, the TBC reference synchronizing signals (TBC SYNC, TBC VD, etc.), the V blanking signal and the burst flag signal are generated. REF SYNC of BVH-2000 is used as the external sync signal of this sync generator. Regarding V blanking, it is possible to select an arbitrary line between line 10 and line 21.

With BKH-2100, it is possible to perform color framing adjustment. When the SC-H phase on both the memory write and read sides are adjusted to the optimum values, the “PB CF IN” and “REF CF IN” lamps will light up.

3-2. ビデオ信号系回路

3-2-1. A/D変換回路〔AD-12基板〕

VTR(BVH-2000)のデモジュレーター出力(DEMOD OUT 1)が時間軸補正されるビデオ信号である。
DEMOD OUT 1はビデオアンプで増幅された後，ローパスフィルターLPF 1に入る。LPF 1は前置フィルターであり，カットオフ周波数は約8MHzである。帯域制限されたビデオ信号は反転増幅されA/Dコンバーターに送られる。なお反転増幅においては，ビデオ信号にオフセットが与えられる。このオフセットレベルは，A/D入力のペデスタルレベルがD/A変換後のペデスタルレベルに一致するように調整されている。
A/Dコンバーターには全並列型8ビットパラレル出力のLSIを用いている。サンプリング信号は4fscのW CK，変換範囲は0〜−2Vである。図3-2-1に規定の入力ビデオ信号に対するA/D変換範囲を示す。TTLレベルのA/Dコンバーター出力はECLレベルに変換された後，MY-15基板のDOC回路へ送られる。

3-2-2. DOC回路〔MY-15，AD-12基板〕

データシフターはディジタルフィルターの単位遅延素子として機能しているもので，種々の時間軸上のデータを作り出している。単位遅延時間は$\frac{1}{4fsc}$秒である。

3-2. VIDEO SIGNAL SYSTEM CIRCUIT

3-2-1. A/D Conversion Circuit [AD-12 Board]

The demodulator output (DEMOD OUT 1) of the VTR (BVH-2000) is the video signal which undergoes time base correction.
DEMOD OUT 1 is amplified by the video amplifier, then enters the low pass filter LPF 1, which is a pre-filter having a cut-off frequency of about 8MHz. The band-limited video signal is inverted and amplified, and set to an A/D converter. During inversion and amplification, an offset is applied to the video signal. The offset level is adjusted so that the pedestal level of the A/D input is equal to the pedestal level after D/A conversion.
The A/D converter employs a LSI of the 8-bit flash type. The sampling signal is a 4fsc W CK. A conversion range is 0 to −2V. Fig. 3-2-1 shows the A/D conversion range with respect to the specified input video signal. The TTL level A/D converter output is converted into an ECL level, then sent to the DOC circuit on the MY-15 board.

3-2-2. DOC Circuit [MY-15 and AD-12 Boards]

The data shifter functions as a unit delay element of a digital filter. It creates various data on the time axis. The unit delay time is 1/4fsc seconds.

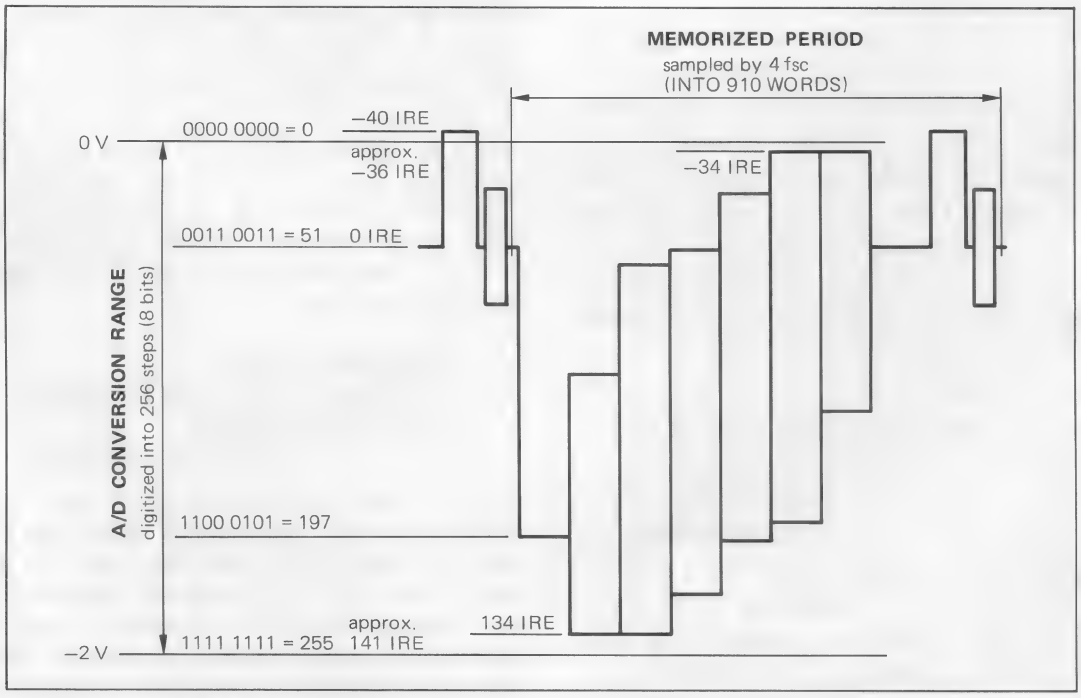


図3-2-1. A/D変換範囲

Fig. 3-2-1 A/D Conversion Range

Y SEP回路，C SEP回路はディジタルトランスバーサルフィルターで構成されている。それぞれのフィルターの伝達関数を次式に示す。

Yフィルター；$H(z)=\frac{1}{4}(1+2Z^{-2}+Z^{-4})$

Cフィルター；$H(z)=\frac{1}{8}(1-2Z^{-2}+2Z^{-4}-2Z^{-6}+Z^{-8})$

なお，Y/C分離で得られるC信号は，データ置換えの容易さから，ライン相互の位相関係が同相(同極性)にされている。

Y DOCメモリー，C DOCメモリーは1K×4ビットのRAMで構成されており，1ラインについて910ワードを使っている。アドレス信号はメインメモリーと同じW ADDRESS信号である。両DOCメモリーには通常はデータが書き込まれ，DOが生じた時のみデータは読み出される。

VTR(BVH-2000)側で検出されたドロップアウト信号DO2はAD-12基板内のDOシグナルストレッチャーとバーストDOディテクターに入る。DOシグナルストレッチャーは，DOCをより確実にするためにDO2信号の幅を拡張する回路である。拡張されたDO2はDOと呼ばれる。バーストDOディテクターは，CB H信号の有無を判定することによりバースト信号のドロップアウトを検出している。この検出出力信号はC DOと呼ばれる。C DOは，通常はCB Hでトリガーされた負方向パルスであるが，DO時はHレベルとなる。DO信号とC DO信号はMY-15基板のY/C DOシグナルジェネレーターへ送られる。

Y/C DOシグナルジェネレーターはDO信号とC DO信号によってDOCメモリーの書込み/読出しを制御する信号（Y DO, C DO)およびNORM/DOセレクターの切換信号を作る回路である。入力されたDO信号は，データ置換えを正確にするためにW CKで同期化される。C DO信号はIC3WにおいてW ZEROでラッチされており，IC3W-8は通常はHレベル，バーストDO時は1H期間にわたりLレベルとなる。Y/C DOシグナルジェネレーターの入力信号(DO, C DO)と出力信号(Y DO, C DO, NORM/DOセレクト)との関係は次のようになっている。

Y DO(出力)=DO
C DO(出力)=DO+C DO(1Hインターバル)
NORM/DOセレクト(出力)
=DO+C DO(1Hインターバル)

これから分かるように，バースト信号区間以外のドロップアウトの場合はY, C共に1H前部分置換えが行なわれ，バースト信号がドロップアウトした場合には，Yは1H前部分置換え，Cは1H前ライン置換えが行なわれる。なお，B/WまたはBIDIREXモードの場合は，C DOは出力されない。Y/C DOシグナルジェネレーターからはVELO W.P(ベロシティエラー書込みパルス)信号も出力されている。バース

The Y SEP circuit and C SEP circuit each consists of a digital transversal filter. The following equations show the transfer functions of the respective filters.

Y filter: $H(z)=\frac{1}{4}(1+2Z^{-2}+Z^{-4})$

C filter: $H(z)=\frac{1}{8}(1-2Z^{-2}+2Z^{-4}-2Z^{-6}+Z^{-8})$

The C signal obtained from Y/C separation is kept in the same polarity on the lines, owing to the ease of data conversion.

The Y DOC memory and C DOC memory each consists of two 1K×4-bit RAMs, one line of which employs 910 words. The address signal is the W ADDRESS signal which is the same as that used in the main memory. Normally data is written in both DOC memories, and it is read out only when dropout occurred.

The dropout signal DO2 which is detected at the VTR (BVH-2000) side enters the DO stretcher and burst DO detector on the AD-12 board. The DO signal stretcher is a circuit which expands the width of the DO2 signal in order to make the DOC more positive. The expanded DO2 is called DO. The burst DO detector detects any dropout of the burst signal by judging the existence or otherwise of the CB H signal. This detection signal is called C DO. Normally, C DO is a negative-going pulse which is triggered by CB H. When it is DO, it becomes H level. The DO signal and C DO signal are sent to the Y/C DO signal generator on the MY-15 board.

The Y/C DO signal generator is a circuit which generates the switchover signal for the NORM/DO selector and the signals (Y DO and C DO) that control write/read of the memory by means of the DO signal and C DO signal. The inputted DO signal is synchronized with W CK in order to ensure that data replacement takes place accurately. The C DO signal is latched by W ZERO at IC3W. IC3W-8 is normally H level, however during burst DO it becomes L level for a period of 1H. The relationship between the input signals (DO and C DO) and output signals (Y DO, C DO and NORM/DO select) of the Y/C DO signal generator is as shown below.

Y DO (output) = DO
C DO (output) = DO + C DO (1H interval)
NORM/DO select (output)
= DO + C DO (1H interval)

As can be seen from the above, in the case of a dropout, excepting the burst signal section, both Y and C will be partially replaced by the 1H prior signal, and if a burst signal drops out, Y will be partially replaced by the 1H prior signal and C will be line-replaced by the 1H prior signal. In the case of the B/W or BIDIREX mode, C DO will not be outputted. A VELO W.P (velocity error write pulse) signal will also be outputted from the Y/C DO signal generator. In the event that burst DO is generated,

トDOが生じた場合にはVELO W.Pは出力されないが，1H後のVELO W.Pも出力されない。これは，バーストDOから1H後に得られるベロシティエラーが正確さに欠けているためである。
Y/Cミクサーは演算器とPROMで構成されており，リミッターも兼ねている。上限・下限の値はPROMにプログラミングされている。演算器とPROMは一体となってY±Cの演算をする。Y/C分離によって得られたC信号はライン位相が同相でDOCの処理を受けているので，Y/Cミックスに際してはC信号位相のライン反転を復元させる必要がある。Y±Cの演算はYとCをミックスすると共に，C信号位相のライン反転を復元することも兼ねている。演算モード(±)の選択はW N/I信号によって行なわれる。
NORM/DOセレクターは，通常DOC回路のバイパス信号を選んでいるが，ドロップアウトが生じるとY/Cミクサー出力信号を選ぶ。

3-2-3. 3ラインメモリー〔MY-15基板〕

3ラインメモリーはTBCのメインメモリーである。メモリー素子には1K×4ビットのRAMを用いている。容量は3ラインであり，1ラインについて910ワードが使われる。データの書込み/読出しのための10ビットのアドレス信号はW CK, R CKで作られている。各々のメモリーはW/Rラインアドレスジェネレーターの出力信号WA, WB, RA, RBによって書込み/読出しの動作が重複しないように制御されている。メモリー書込み/読出しの関係は図3-2-2に示すように1.5Hのアドバンス関係になっている。
メモリーから読み出されたデータは，ペデスタルブランキング回路において，TBC SYNCによって同期信号部分がデータ$(51)_{10}$に置き換えられる。このデータ置換えは，D/A変換後のペデスタルレベルがD/A出力の電圧振幅制御(ビデオレベル制御)のサンプルレベルとなっているので，ディジタル的にペデスタルレベルを固定するための処理である。

VELO W.P will not be outputted, neither will be the VELO W.P which is generated 1H later. This is because the velocity error which is obtained at 1H later after burst DO will be lacking in accuracy.
The Y/C mixer consists of an arithmetic unit and PROM, and also functions as a limiter. The upper and lower limit values are programed in PROM. The arithmetic unit and PROM are integrated with each other, and perform Y±C arithmetic operations. Since the C signal obtained by Y/C separation is in the same polarity on the line and undergoes DOC processing, it is necessary to restore the line inversion of the C signal phase during Y/C mixing. The arithmetic operation Y±C involves mixing Y and C, and also restoration of line inversion of the C signal phase. The selection of the arithmetic mode (±) takes place by means of the W N/I signal.
The NORM/DO selector normally selects the bypass signal for the DOC circuit, however if a dropout occurs, it will select the Y/C mixer output signal.

3-2-3. 3-line Memory [MY-15 Board]

The 3-line memory is the main memory of TBC. The memory elements are 1Kx4-bit RAMs. The capacity of the memory is 3 lines, and 910 words are used per line. The 10-bit address signal used for data read/write is made by W CK and R CK. Each memory is controlled to prevent overlapping of write/read operations due to the output signals WA, WB, RA and RB from the W/R line address generator. The phase relationship between write/read is a 1.5H advance, as shown in Fig. 3-2-2.
In the pedestal blanking circuit, the synchronizing signal portion of the data read out from the memory is replaced by data $(51)_{10}$, by means of TBC SYNC. This data replacement is a process designed to digitally fix the pedestal level, because the pedestal level after D/A conversion becomes the sample level of the voltage amplitude control (video level control) of the D/A output.

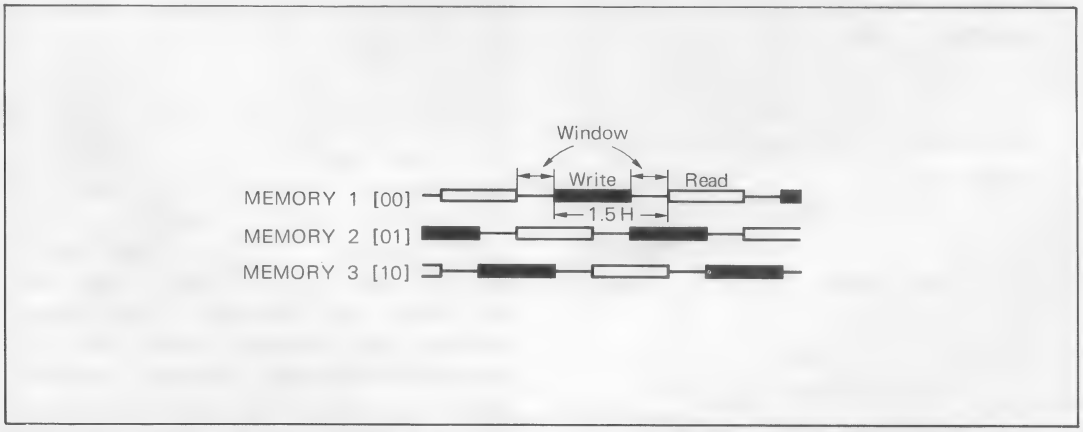


図3-2-2. メモリー書込み/読出しの関係　　Fig. 3-2-2 Relationship Between Memory Read/Write

3-2-4. D/A変換回路〔PR-36基板〕

メインメモリーから読み出されたR DATAはECLからTTLレベルに変換された後，IC14に入る。IC14は電流切換R-2Rラダー型のD/Aコンバーターである。IC14の10ビットのディジタルインプットのうち上位側8ビットにR DATAが入力される。クロック信号には4fscのR CKを用いている。D/A出力電圧範囲は0～−2Vである。

IC14は内蔵定電流源の電流値を加減するための制御端子(ISET)を備えており，D/A出力電圧振幅の調整が可能である。これを利用して，D/A変換回路ではビデオレベル制御も行なっている。ビデオレベル制御の基本的な動作は，D/A出力のペデスタルレベルがレベル制御電圧(VIDEO CONT)に追従するようにISET端子電圧を定める，というものである。サンプリングされるペデスタルレベルはディジタル的にレベルが固定されている同期信号部分である。ビデオレベル調整されたD/A出力は，補間フィルターを経てプロセス回路へ送られる。

3-2-5. プロセス回路〔PR-36基板〕

プロセス回路はクロマレベル制御，セットアップ制御，ダークレベルクリップ，同期信号バースト信号付加などの信号処理をする。

クロマレベル制御回路は，ディレイラインDL1，リニア乗算器IC9，クロマ成分加算器Q12などから成っている。DL1の遅延量が$\frac{1}{2fsc}$秒であるので，DL1の反射成分を含むビデオ信号からDL1を通過したビデオ信号を減算するとクロマ成分のみがQ13のコレクターに出力される。このクロマ成分のレベルはIC9の8ピン/YIN(−)の印加電圧に依存している。したがって，Q13コレクター出力とビデオ信号(FL4出力)とを加え合わせると，CHROMA CONT電圧によってクロマレベルが調整されたビデオ信号となる。ローパスフィルターFL4はタイミング合わせのためのディレイラインとして機能している。

セットアップ制御回路は，Q12のエミッターからIC12(−)入力に至る帰還ループを構成している。IC11の出力は，Q12のエミッター出力のペデスタルレベルがIC11の(+)入力に印加されているSET UP CONT電圧に追従するように，IC12のオフセットを制御している。

Q12出力のビデオ信号のHおよびVのブランキングと基準バースト信号の付加はIC2, Q1, Q2で構成される帰還増幅器で行なわれる。この帰還増幅器は，BLK信号を切換信号とする2入力のアナログスイッチャーである。スイッチャーの一方の入力には基準バースト信号が入っている。Q12出力の同期信号/バースト信号の区間は，BLK信号によって，この基準バースト信号に置き換えられる。その結果，アナログスイッチャー出力はブランキングおよび基準バースト

3-2-4. D/A Conversion Circuit [PR-36 Board]

R DATA which is read out from the main memory is level-converted from ECL to TLL, then enters IC14. IC14 is an R/2R ladder (switched current source) type D/A converter. R DATA enters the top 8 bits in IC14 10-bit digital input. The clock signal is a 4fsc R CK signal. The D/A output voltage range is 0 to −2V.

IC14 is provided with a control terminal (ISET) for controlling the value of the weighted current. This permits the amplitude of the D/A output voltage to be adjusted. Utilizing this, video level control takes place in the D/A converter circuit. The basic operation of video level control is setting the I SET terminal voltage so that the D/A output pedestal level follows the level control voltage (VIDEO CONT). The pedestal level to be sampled is the synchronizing signal portion whose level is digitally fixed.

The D/A output which has undergone video level adjustment is sent to the process circuit via an interpolation filter.

3-2-5. Process Circuit [PR-36 Board]

The process circuit performs signal processing such as chroma level control, setup control, dark level clipping, and addition of synch and burst signals.

The chroma level control circuit consists of delay line DL1, linear multiplier IC9, and chroma component adder Q12. The amount of delay in DL1 is 1/2fsc second. When the video signal which passes through DL1 is subtracted from the video signal containing the reflection component of DL1, only the chroma components will be output to the collector of Q13. The level of this chroma component depends on the voltage applied to pin 8/YIN(−) of IC9. Consequently, when the output of the collector of Q13 is added to the video signal (FL4 output), the result will be a video signal whose chroma level is adjusted by the CHROMA CONT voltage. The low-pass filter FL4 functions as a delay line for timing.

The setup control circuit comprises a feedback loop going from the emitter of Q12 to the (−) input of IC12. The output of IC11 controls of the offset of IC12 so that the pedestal level of the emitter output of Q12 follows the SET UP CONT voltage applied to the (+) input of IC11.

The H and V blanking and the addition of reference burst signal to the Q12 output video signal takes place by means of the feedback amplifier consisting of Q1 and Q2. This feedback amplifier is a 2-input analog switcher employing the BLK signal as the switchover signal. The reference burst signal enters one input of the switcher. The synchronizing signal/burst signal section of the Q12 output is replaced by the reference burst signal, by means of the BLK signal. As a result, the analog switcher output is a video signal to which the reference burst signal has been added.

信号が付加されたビデオ信号となる。基準バースト信号は，PR Fsc信号から作られている。PR Fscは，BF信号から作られたバーストゲート信号によって打ち抜かれ，バンドパスフィルターで帯域制限された後，基準バースト信号となる。ノーマル再生モード以外では，基準バースト信号は付加せず，ブランキングのみを行なう。

ダーククリッパーはQ3, Q4, Q5, FL2で構成される回路である。Q5の一方のベースには基準バースト信号が付加されたビデオ信号が入り，他方のベースにはバンドパスフィルターを経たクロマ成分のみが入る。したがって，Q5のエミッターには，クロマ成分を除くペデスタルレベル以下がクリップされた信号が出てくる。クリップレベルは，ブランキング/バーストアダー回路のオフセット調整用ボリュームRV5で設定する。Q3, Q4はQ5の動作点を安定化しており，これによってクリップ動作時のQ5のゲイン補償が行なわれる。

IC3, IC4は出力バッファーである。それぞれの出力側において同期信号が付加される。付加される同期信号はTBC SYNC信号から作られる。Q10に入ったTBC SYNCはRV6によって振幅調整され，つづいてローパスフィルターFL3で波形整形された後，Q8, Q9によってそれぞれのバッファー出力に付加される。Q9のスイッチング動作はS2でON/OFFでき，これによってTBC OUT2のCOMP/NON COMPを選択することができる。

The reference burst signal is generated from the PR Fsc. The PR Fsc is punched out by the burst gate signal which has been generated from the BF signal. After the punched out PR Fsc has been band-limited by the band-pass filter, it becomes the reference burst signal. Excepting the normal playback mode, the reference burst signal is not added, and only blanking takes place.

The dark clipper is a circuit consisting of Q3, Q4, Q5 and FL2. The video signal to which the reference burst signal has been added, is applied to one base of Q5 and in the other base, only the chroma component which has passed through the band-pass filter is applied. The signal below the pedestal level is clipped, excluding the chroma component. The clipped signal appears at the emitter of Q5. The clipping level is set by means of variable resistor RV5 for offset adjustment in the blanking/burst adder circuit. Q3 and Q4 stabilize the operating point of Q5, permitting gain compensation of Q5 during clipping.

IC3 and IC4 are output buffers. At the output side of each buffer are added synchronizing signal which is generated from TBC SYNC signal. The TBC SYNC signal which is applied Q10 is amplified and adjusted by RV6, are then waveshaped by low-pass filter FL3, and added to the respective buffer outputs by means of Q8 and Q9. The switching operation of Q9 can be turned ON/OFF by means of S2, enabling COMP/NON COMP of TBC OUT2 to be controlled.

3-3. クロック・制御信号系回路

3-3-1. バースト信号分離回路〔AD-12基板〕

この回路はAPCの基準信号CB Hを作るために，再生クロマ信号(PB CHROMA)からバースト信号を分離する回路である。チューニングアンプQ4を通ったPB CHROMAは3.58MHzのバンドパスフィルターBPF1で帯域制限された後，バッファーIC5Mを経て電圧コンパレーターIC5Lに入る。この電圧コンパレーターはヒステリシス特性を持っている。電圧コンパレーターの出力のゲート回路にはバーストフラグが入力されており，ここからTTLレベルのバースト信号が取り出される。

3-3-2. SELECT Hジェネレーター〔AD-12基板〕

SELECT Hジェネレーターは，PB SYNCにWINDOWをかけて等化パルスおよびノイズを除去し，信頼性の高いH信号を作る回路である。PB SYNCはIC4QによりWINDOWをかけられてPB Hとなる。WINDOWは1H前のPB Hから作られている。セレクターIC4Kは，ノーマル再生モードの場合はPB H，BIDIREXモードの場合はPB SYNCを選択する。セレクター出力をSELECT Hと呼ぶ。
IC3Bは書込み側のカラーフレーミング(SC-H位相)調整回路，IC4LはCB H検出用パルスを発生する回路である。CB H検出用パルスはB/Wモードの場合，カラーモードにおけるCB Hのラインシフトに対応させるため，1Hおきに約140 ns位相シフトされる。

3-3-3. W CKジェネレーター〔AD-12基板〕

W CKジェネレーターは書込みクロックW CKを発生する回路である。W CKはA/D変換およびメインメモリーに使われる。
IC5H，4Hで構成されるVCOにおいて4fscのW CKが発生される。VCOには，W CKを再生バースト信号の位相変動に追従させるためにオープンループのAPCがかけられている。
APCのリセットパルスはIC3I-13出力である。APCリセットパルスのトリガーはモードによって種々異なるが，カラー・ノーマル再生モードの場合，再生バースト信号の位相情報を正確に持っているCB H信号である。CB Hは，IC5K，IC4Kにおいて再生バースト信号の中央から抜き取られたSC一波の信号である。B/W・ノーマル再生モードの場合のトリガーはIC4L-13出力のCB H検出用パルス，BIDIREXモードの場合はPB SYNCを遅延した信号である。REF Vの期間はトリガーは無い。APCリセットパルスはバースト信号部分にドロップアウトがあった場合 VCOへは送られ

3-3. CLOCK AND CONTROL SIGNAL SYSTEM CIRCUIT

3-3-1. Burst Signal Separating Circuit [AD-12 Board]

This circuit separates the burst signals from the off-tape chroma signals (PB CHROMA) in order to generate the APC reference signal, CB H. PB CHROMA which passes through tuning amplifier Q4 is band-limited by 3.58MHz band-pass filter BPF1, then passes through buffer IC5M and enters voltage comparator IC5L. Voltage comparator IC5L is provided with hysteresis. The burst flag is inputted to the gate circuit at the output of the voltage comparator, from where a TTL level burst signal is taken off.

3-3-2. SELECT H Generator [AD-12 Board]

The SELECT H generator applies a WINDOW to the PB SYNC signal to remove equalizing pulses and noise, and generates a highly reliable H signal. PB SYNC is applied the WINDOW by means of IC4Q to become PB H. The WINDOW is generated from 1H prior PB H. Selector IC4K selects PB H in the case of the normal playback mode, or PB SYNC in the case of the BIDIREX mode. The selector output is called SELECT H.
IC3B is a color framing (SC-H phase) adjusting circuit on the write side, and IC4L is a circuit which generates CB H detection pulse. The CB H detection pulse is phase-shifted approximately 140ns every 1H, in order to correspond with the CB H line shift during the B/W mode.

3-3-3. W CK Generator [AD-12 Board]

The W CK generator is a circuit which generates the write clock W CK. W CK is used in the A/D converter and the main memory.
A 4fsc W CK is generated at VCO consisting of IC5H and 4H. An open loop APC is applied to VCO in order to make W CK follow the phase fluctuation of the off-tape burst signal. The reset pulse of APC is the output of IC3I-13. The trigger of the APC reset pulse varies depending upon the mode, but in the case of the color and normal playback mode, it is a CB H signal which accurately keeps phase data concerning the off-tape burst signal. CB H is a signal which has the phase of the SC single wave that is sampled from the center of the off-tape burst signal at IC5K and IC4K. In the case of the B/W and normal playback mode, the trigger is the CB H detection pulse output from IC4L-13, and in the case of the BIDIREX mode, it is a delayed PB SYNC signal. During the REF V period, there is no trigger. The APC reset pulse is not sent to VCO if there is a dropout in the burst signal portion, and the oscillation of VCO continues in the same phase as that of 1H

ず，VCOの発振は1H前の位相でそのまま持続される。
APCリセットパルスがトリガーされてからW CKの第1発目が出力されるまでの時間は，本来ならば一定でなければならないが，回路系の温度特性により変動を生ずる。IC4G-3，IC4D，IC4E，IC5F，IC3Iで構成されるループは，この時間変動の補正回路であり，W CKの第1発目がCB Hを遅延して作られた基準タイミングに常に一致するようにAPCリセット期間を制御している。
VCOはAFC回路も備えている。このAFCは4fscの発振周波数を安定化させるためのものである。このAFCループは，W CKを4分の1にカウントダウンした信号W SCがREF Fscに等しくなるように，REF V期間のみ動作している。

3-3-4. W ZEROジェネレーター〔AD-12基板〕

W ZEROジェネレーターはメモリー書込みのスタート点を示す信号W ZEROを作る回路である。W ZEROは，PB H（SELECT H）から常に一定の点に，W SCで同期化されて作られる。この同期化はPLLで行なわれる。PLLの基準位相は，IC2Aにおいてライン相互の位相が同相にそろえられたW SCである。PLLは，PB Hによってトリガーされた IC3B-4出力の後縁がPB Hと一定の位相関係にあるW SCのエッジに一致するように，IC3B-4出力のパルス幅を制御している。IC3B-4出力の後縁はW SCで同期化されてW ZEROとなる。W ZEROの位相は，IC4B，IC5Cおよびスイッチ S1による回路において，SC1周期分を1ステップとして最大7ステップ変えることができる。これによってTBC OUTのビデオ位相が調整される。
なお，PLLのエラー電圧は，ノーマル再生の開始時やカラーフレーミング調整時，あるいはエラー電圧が過大になった時，強制的に0Vにされる。IC1D，IC2Cによる回路はオーバーエラー検出回路である。

3-3-5. ベロシティエラー検出回路〔AD-12基板〕

ベロシティエラーは，1H前のCB HによってAPCがかけられているW SCと現在のCB Hとを位相比較することによって検出している。W SC-CB H位相差はIC5Eにて電圧に変換されVELO ERRORとなる。H毎のVELO ERRORリセットはQ3で行なっている。ベロシティエラーの検出範囲は1Hにつき1SCp-pであり，中心値は±SC/2の点に設定されている。

before.
Normally, the period from when the APC reset pulse is triggered until the first pulse of the W CK pulses is outputted must be constant, however fluctuations will occur due to the temperature characteristics of the circuit. The loop consisting of IC4G-3, IC4D, IC4E, CI5F and IC3I is a compensation circuit for this time fluctuation. It controls the reset timing of APC so that the first pulse of W CK always coincides with the reference timing produced by delaying CB H.
VCO is also provided with an AFC circuit. This AFC stabilizes the 4fsc oscillation frequency. The AFC loop operates only during the REF V period to ensure that the W SC signal created by counting down W CK to 1/4 is equal to REF Fsc.

3-3-4. W ZERO Generator [AD-12 Board]

Then W ZERO generator is a circuit which creates the W ZERO signal that indicates the starting point of memory write. W ZERO is generated in synchronization with W SC so that it is always at a fixed point from PB H (SELECT H). This synchronization takes place under PLL. The reference phase of PLL is created from W SC whose line phases are made the same on lines at IC2A. PLL controls the pulse width of the output of IC3B-4 so that the trailing edge of the output of IC3B-4 which is triggered by PB H is in line with the edge of W SC which has a constant phase relationship with PB H. The trailing edge of the output of IC3B-4 is synchronized with W SC to become W ZERO. The phase of W ZERO can be varied in the range of a maximum of 7 steps, with each step equal to the period of SC, in the circuit consisting of IC4B, IC5C and switch S1. In this way, the video phase of TBC OUT can be adjusted.
The PLL error voltage is forcibly set to 0V at the commencement of normal playback, during color framing adjustment, or if the error voltage becomes excessively large. The circuit consisting of IC1D and IC2C is an over-error detection circuit.

3-3-5. Velocity Error Detection Circuit [AD-12 Board]

Velocity error is detected by means of a phase comparison between W SC to which APC is applied by the CB H of 1H before, and the present CB H. The phase difference between W SC and CB H is converted into a voltage by IC5E and it causes a VELOCITY ERROR. The VELOCITY ERROR reset for each H is performed by Q3. The range of velocity error detection is 1SCp-p per 1H, and the center value is set at the ±1/2SC point.

3-3-6. シーケンスコントロール回路〔MY-15基板〕

シーケンスコントロール回路はメインメモリーを制御する回路である。

W ZEROフォーマーはW ADDRESSカウンターのLOAD信号を発生する回路である。通常は，W ZEROの立上がりの後のW SC一波がLOAD信号となっている。ドロップアウトなどによりW ZEROが入力されなかった場合は，W ADDRESSカウンターのキャリーアウトがW ZEROの代用となる。

W ADDRESSジェネレーターは3ラインメモリーの書込みアドレスを発生する回路である。4ビットバイナリーカウンターで構成されており，10ビットのアドレスデータを出力する。カウンターのクロックにはW CKが用いられている。なお，最下位のアドレスデータW0は3ラインメモリーの書込みパルスとしても用いられている。DL-5P，IC4Pの回路がW0を書込みパルスに整形する回路である。

R ADDRESSジェネレーターは3ラインメモリーの読出しアドレスを発生する回路である。W ADDRESSジェネレーターと同様，4ビットバイナリーカウンターで構成されており，10ビットのアドレスデータを出力する。カウンターのLOAD信号はR ZERO，クロックにはR CKが使われる。

W/R LINE ADDRESSジェネレーターは3ラインメモリーの書込みライン，読出しラインを指定するラインアドレスを作る回路である。SG-62基板から送られているR ADD P（リードアドレスパルス）は1/3にカウントダウンされてR LINE ADDRESSとなる。W LINE ADDRESSはR LINE ADDRESSにプラス2した値である。これによって，メモリーの書込み動作/読出し動作の重複が避けられている。図3-2-2にメモリーの書込み/読出しの関係を示す。

W N/Iジェネレーターは，再生ビデオ信号のSCのライン毎の位相情報を正確に持っているW N/I信号を発生する回路である。BKH-2100では，Y/C共に1H前置換えによるドロップアウト補償を行なっているので，1H前置換えの後，Y/Cミックスの際には，クロマ信号のライン反転を再現するために，正確なSCライン位相情報が必要である。また，W ZEROの発生点は各ラインとも同一点になっているので，W ZEROを同期化するSCのライン相互間の位相を同相にそろえるためにも，正確なSCライン位相情報が必要である。W N/I信号はこれらの必要を満たすための信号である。

W ADDRESSデータのW6とW9からN/I切換え用のHレートのパルスが作られる。これが1/2にカウントダウンされてW N/I信号となる。W N/Iの極性（LまたはHレベル）の設定はAD-12基板から送られているN/I SET PULSEにより行なう。N/I SET PULSEは正確なカラーフレーム情報を持っている信号である。これによって，W N/I信号には正確なSCライン位相情報が与えられる。BIDIREXモードおよびB/Wモードの場合にはW N/Iは出力されない。

3-3-6. Sequence Control Circuit [MY-15 Board]

The sequence control circuit is used to control the main memory.

The W ZERO forming circuit is a circuit which generates the LOAD signal of the W ADDRESS counter. Normally, the W SC single wave which occurs after the rise of W ZERO becomes the LOAD signal. If W ZERO is not inputted due to a dropout, etc., the carry-out of the W ADDRESS counter will take the place of W ZERO.

The W ADDRESS generator is a circuit which generates the write address for the 3-line memory. It consists of a 4-bit binary counter, and outputs 10-bit address data. W CK is used for the counter clock. The LSB address data W0 is also used as the write pulse for the 3-line memory. The circuits DL-5P and IC4P are used to shape W0 into a write pulse.

The R ADDRESS generator is a circuit which generates the read address for the 3-line memory. Like the W ADDRESS generator, it consists of a 4-bit binary counter, and outputs 10-bit address data. R ZERO is used as the LOAD of the counter, and R CK as the clock.

The W/R LINE ADDRESS generator is a circuit which creates the line address that designates the write line and read line for the 3-line memory. R ADD P (read address pulse) sent from the SG-62 board is counted down to 1/3, to become the R LINE ADDRESS. The W LINE ADDRESS is the R LINE ADDRESS plus 2. In this way, it is possible to avoid overlapping of the memory write/read operations. Fig. 3-2-2 shows the relationship between the memory write/read.

The W N/I generator is a circuit which generates a W N/I signal that accurately keeps phase information concerning each line of the off-tape video signal SC. In the BKH-2100, the dropout compensator replaces the dropout section with the 1H prior signal. Consequently, after performing the replacement, it is necessary to have accurate SC line phase information in order to reproduce the line inversion of the chroma signal during Y/C mixing. Also, because the generation point of W ZERO is the same for all lines, it is necessary to have accurate phase information in order to align the mutual line phases of SC which synchronizes W ZERO. The signal W N/I is used to satisfy the above requirements.

The H rate pulse for switching N/I is generated from W6 and W9 of the W ADDRESS data, it is count down to 1/2 to become the W N/I signal. The polarity setting ("L" or "H" level) of W N/I is performed by the N/I SET PULSE which is sent from the AD-12 board. The N/I SET PULSE is a signal which keeps accurate color framing information. In this way, accurate SC line phase information is assigned to the W N/I signal. In the case of BIDIREX and the B/W mode, W N/I is not outputted.

The N/I memory is provided in correspondence with the main memory, in order to send W N/I to the read side.

N/Iメモリーは，W N/Iを読出し側に送るために，メインメモリーに対応して設けられたメモリーである。N/Iメモリー出力はR N/I信号としてSG-62基板のSC位相反転回路へ送られる。このSC位相反転はR ZEROの発生点をW ZEROと同じく各ラインとも同一点にするために必要な操作である。これによってW ZEROとR ZEROは一致され，メインメモリー入力のビデオ位相はメインメモリー出力に再現されることになる。BID, BW, R N/Iジェネレーターは，BIDIREXモードまたはB/Wモードの場合にN/IメモリーからR N/Iが出力されないので，それを補う代用のR N/Iを発生する回路である。代用のR N/I信号はR ADD PをD-FFで1/2にカウントダウンした信号である。

3-3-7. SYNCジェネレーター〔SG-62基板〕

SYNCジェネレーターはREF SYNCに同期した各種の同期信号，制御信号を作る回路である。回路構成はSG用LSIによるPLLである。発振周波数4fscのVCO(VCXO1)の出力はSYNC発生用IC1Lに入り，ここでカウントダウンされてFHとして出力される。FHはIC1Kで位相調整を受けた後，GEN-LOCK用IC1Pに入る。IC1Pには外部同期信号としてREF SYNCが入力されており，ここでFHとREF SYNCは位相比較される。エラー電圧はHCOM OUTとしてIC1Pから出力され，ローパスフィルターを経てVCOに送られ，発振周波数を制御する。なお，REF SYNCが入力されない場合は，IC1Pの位相比較出力は固定電圧となり，SYNCジェネレーターはインターナルモード（固定発振）となる。Vの同期については，GEN-LOCK用IC1PにおいてREF SYNCからV信号を検出し，このV信号でSYNC発生用IC-1Lをリセットするという方法で行なっている。ただし，C-ONFIモードの場合のIC1Lのリセットには，1.5Hアドバンスということを考慮して，PB Vから作られたVリセットパルスが用いられる。

SYNC PHASE CONTROLは，ループ内のFH信号をIC1Kで位相シフトすることにより行なわれる。IC1K, IC1J, IC1Iによる回路は，IC1K-12出力の積分値がSYNC CONT電圧に追従するように機能する。したがって，SYNC CONT電圧を変化するとIC1K-12出力のDUTY比が変化し，この結果，SYNC位相がシフトされる。

Hブランキング信号は，IC1L出力のHD信号から作られている。HDはIC2Jにより後縁が引き伸ばされた後，Vブランキング信号とミックスされてBLK信号となる。Vブランキング信号はHDおよびVDから作られる。10～21ライン以外のブランキング信号にはVDがそのまま用いられる。10～21ラインについてのブランキング信号には，VDの後縁から作られた1H幅のパルスを入力信号とするシフトレジスターの並列出力が用いられる。シフトレジスターはHブランキング信号をクロックとしている。シフトレジスターの

The N/I memory output is sent to the SC phase inversion circuit on the SG-62 board, as a R N/I signal. This SC phase inversion is a necessary operation for making the generation point of R ZERO the same for all lines, like W ZERO. In this way, W ZERO point and R ZERO point correspond with each other, and the video phase of the main memory input is reproduced at the main memory output. The BID and BW, R N/I generators are circuits which generate a substitute R N/I signal to compensate for the fact that a R N/I signal is not outputted from the N/I memory during the BIDIREX or B/W mode. The substitute R N/I signal is obtained by counting down R ADD P to 1/2 by D-FF.

3-3-7. SYNC Generator [SG-62 Board]

The SYNC generator is a circuit which generates various synchronizing signals and control signals synchronized with REF SYNC. The circuit configuration is a PLL employing an SYNC generator LSI. The VCO (VCXO1) output generated at a frequency of 4fsc enters the SYNC generating IC1L, where it is counted down and outputted as FH. After undergoing phase adjustment by IC1K, FH enters the GEN-LOCK IC1P. The REF SYNC is used as an external synchronizing signal for IC1P. In the IC1P, the phases of FH and REF SYNC compared with each other. The error voltage is outputted from IC1P as HCOM OUT, passing through a low-pass filter and sent to VCO, where it controls the oscillation frequency. If REF SYNC is not inputted, the phase comparison output from IC1P will become a fixed voltage, and the SYNC generator will go into the internal mode (fixed frequency).

Synchronization of V phase is performed by detecting the V signal from REF SYNC at the GEN-LOCK IC1P, and using this V signal to reset the SYNC generating IC1L. In the case of the CONFI mode, however, reset of IC1L is performed using the V reset pulse generated from the PB V, while taking into account the 1.5H advance.

SYNC PHASE CONTROL takes place by phase-shifting the FH signal in the loop, at IC1K. The circuit consisting of IC1K, IC1J and IC1I functions so that the integral value of the IC1K-12 output follows the SYNC CONT voltage. Consequently, if the SYNC CONT voltage varies, the DUTY ratio of the IC1K-12 output will vary, as a result, the phase of SYNC will be shifted.

The H blanking signal is generated from the HD signal of the IC1L output. HD is mixed with the V blanking signal after its trailing edge is stretched by IC2J, to become the BLK signal. The V blanking signal is generated from HD and VD. VD is used without change as the blanking signal for lines other than lines 10 to 21. For lines 10 to 21, the parallel output of a shift register whose input signal is a 1H wide pulse generated from the trailing edge of VD is used as the blanking signal. The shift register uses the H

並列出力はORゲートを経てBLK信号となるわけであるが，それぞれの出力はスイッチS2, S3によってORゲートへの入力をON/OFFできるようになっている。したがって，10ラインから21ラインまでの間のブランキングはS2, S3によって任意のラインが指定できる。なお，第21ラインのブランキング幅は1フィールドおきにH/2とされている。
TBC FRAME信号は，IC1L出力のO/E信号がタイミング調整されて作られている。TBC FRAMEはLALT信号と共にVTR(BVH-2000)に送られ，インターナルロックモードにおけるサーボ制御に使われる。
BURST FLAG信号はIC1L出力のSYNC信号をVD信号でゲートして得ている。

3-3-8. SCジェネレーター〔SG-62基板〕

SCジェネレーターは基準ビデオ信号(SR VIDEO)のバースト信号に同期したSCを発生する回路である。ここで発生されたSCはTBC OUTのバースト信号となる。
SCジェネレーター回路はPLLによって構成されている。IC2C, IC2Bの位相比較回路には，SR VIDEOから分離されたバースト信号と，VCOの出力(4fsc)が1/8にカウントダウンされた信号が入力されている。両入力信号はIC1P出力のTGC信号でゲートされており，これにより，位相比較はSC6波の期間について行なわれる。検出された位相差は電圧に変換され，VCO(VCXO2)の発振周波数を定める。VCO出力は1/8にカウントダウンされた後，位相シフターを経て位相比較回路へ戻される。この位相シフターはSC PHASE CONTROLのためのものである。位相シフターの動作は，3-3-7項で述べられているSYNC PHASE CONTROLの動作と同じである。位相シフトされる信号にfsc/2信号が使われているのは，SC PHASEの可変範囲を±360°以上とるためである。なお，REF BWの場合には，VCXO2の代わりにSYNCジェネレーターのVCXO1が用いられ，SCジェネレーターのループはカットされる。
VCO出力4fscは1/4にカウントダウンされて，REF Fsc,およびPR Fscとして出力される。

3-3-9. R CKジェネレーター〔SG-62基板〕

この回路は4fscの読出しクロックR CKを発生する回路である。R CKジェネレーターは，HUEコントロール部，SC位相変調部，R CK発生部で構成されている。
SCジェネレーター出力のfsc/2は，まずHUEコントロール部に入る。この回路は，3-3-7項で述べられているSYNC PHASE CONTROLにおける位相シフト回路と同様な回路であり，fsc/2信号の位相シフトをする回路である。fsc/2

blanking signal as a clock. The parallel output of the shift register passes through an OR gate, and it becomes a BLK signal. Each output can turn ON/OFF the input to the OR gate by means of switches S2 and S3. Consequently, for blanking between lines 10 and 21, it is possible to designate an arbitrary line by means of S2 and S3. The blanking width for the 21st line is H/2 for every second field. The TBC FRAME signal is generated by adjusting the timing of the O/E signal outputted from IC1L.
TBC FRAME is sent to the VTR(BVH-2000) together with the LALT signal, and is used for servo control during the internal lock mode.
The BURST FLAG signal is obtained by gating the SYNC signal outputted from IC1L, using the VD signal.

3-3-8. SC Generator [SG-62 Board]

The SC generator is a circuit which generates SC synchronized with the burst signal of the reference video signal (SR VIDEO). The generated SC signal becomes the burst signal of TBC OUT.
The SC generator circuit consists of a PLL. Into the phase comparison circuit consisting of IC2C and IC2B are inputted the burst signal separated from SR VIDEO and the signal produced by counting down the output (4fsc) of VCO to 1/8. Both input signals are gated by the TGC signal outputted from IC1P. As a result, phase comparison takes place during the period of the six SC waves. The detected phase difference is converted into a voltage, and the oscillation frequency of VCO (VCXO2) is determined. The VCO output is counted down to 1/8, and is then returned to the phase comparator circuit via a phase shifter. This phase shifter is for SC PHASE CONTROL. The operation of the phase shifter is the same as the SYNC PHASE CONTROL operation described in section 3-3-7. The fsc/2 signal is used as the phase shift signal in order to obtain a variable range of SC PHASE of at least ±360°. In the case of REF BW, VCXO1 of the SYNC generator is used in place of VCXO2, and the SC generator loop is cut.
The 4fsc output of VCO is counted down to 1/4, and outputted as REF Fsc and PR Fsc.

3-3-9. R CK Generator [SG-62 Board]

This circuit generates the 4fsc read clock R CK. The R CK generator consists of the HUE control section, SC phase modulation section, and R CK generating section.
The fsc/2 output of the SC generator first enters the HUE control section. This circuit, which is similar to the phase shift circuit used for SYNC PHASE CONTROL mentioned in section 3-3-7, is used as the phase-shift circuit for the fsc/2 signal. The fsc/2 signal is the source of

信号はR CKの原信号であり，この信号の位相を変えると，TBC OUTのバースト信号となるPR FscとR CKとの相対位相が変わる。したがって，これによってHUEが調整される。

位相シフトされたfsc/2信号は，次にSC位相変調回路に入る。この回路はベロシティエラー電圧によってR CKの原信号であるfsc/2信号の位相変調を行なう回路である。位相変調方式は鋸歯状波スライス方式がとられている。W CKに生じているベロシティエラーは，この位相変調によって補償される。

位相変調を受けたfsc/2信号は，デューティ比が1：1にされた後，8逓倍回路に入る。入力されたfsc/2信号は，DL-5FおよびIC5Gによって，周波数スペクトル上の4fsc成分のエネルギーが高められたパルスとなる。このパルスはバンドパスフィルターへ通され，ここから4fsc成分のみが取り出される。取り出された4fsc信号は電圧コンパレーターにてパルス化され，R CKとなる。なお，R CKはカウンターIC5Nで1/4にカウントダウンされている。このカウントダウンされたfsc信号は，R ZERO発生に用いられる。

3-3-10. ベロシティエラー補正回路〔SG-62基板〕

この回路は，書込み側で検出されたベロシティエラー電圧をメインメモリー中のビデオ信号に対応させるために，それを一時的にホールドし，さらに，理想的ベロシティエラーに近づけるために，読み出されたベロシティエラー電圧に対して二次曲線近似による補正を施す回路である。

ベロシティエラー電圧VELO ERRORはIC4Kで増幅され，オフセットが与えられてベロシティエラーメモリーに入力される。ベロシティエラーメモリーは電圧ホールド回路で構成されており，電圧ホールド回路は3ラインメモリーに対応して3回路設けてある。ベロシティエラーメモリーのアドレス指定はW ADD 2^0, 2^1 信号によって行なわれる。書き込みパルス（サンプリングパルス）はVELO W. P信号である。VELO W. Pのタイミングは図3-3-1に示すように二つのW ADDRESSにまたがっているので，VELO ERRORは二つの電圧ホールド回路に書き込まれていることになる。このようにすると，C DO（バースト信号の欠落）

R CK signal. When its phase is changed, the relative phase of R CK and PR Fsc which becomes the TBC OUT burst signal will change. Consequently, the HUE can be adjusted in this manner.

The phase-shifted fsc/2 signal next enters the SC phase modulation circuit. This circuit phase-modulates the fsc/2 signal, using the velocity error voltage. A sawtooth wave slice method is employed as the phase-modulation system. The velocity error which appears on W CK is compensated by means of this phase modulation.

The phase-modulated fsc/2 signal enters a frequency octupler circuit after its duty ratio is made 1:1. The inputted fsc/2 signal becomes a pulse, the energy of whose 4fsc component of the frequency spectrum is increased by DL-5F and IC5G. This pulse passes through a band-pass filter from which only the 4fsc component is obtained. This 4fsc signal becomes the R CK pulse by means of a voltage comparator. R CK is counted down to 1/4 by counter IC5N, and the counted-down fsc is used for generating R ZERO.

3-3-10. Velocity Error Compensation Circuit [SG-62 Board]

This circuit momentarily holds the velocity error voltage detected at the write side in order to make it correspond with the video signal in the main memory, then compensates the read out velocity error voltage by means of a second order approximation, in order to bring it near the ideal velocity error.

The velocity error voltage VELO ERROR is amplified by IC4K, then the offset is given, and input to the velocity error memory. The velocity error memory consists of three voltage hold circuits which correspond to the 3-line memory. Address designation of the velocity error memory takes place by means of the W ADD 2^0, 2^1 signals. The write pulse (sampling pulse) is the VELO W. P signal. Since the timing of VELO W. P spans two write addresses, as shown in Fig. 3-3-1, VELO ERROR is written into two voltage hold circuits. In this way, as in the case of C DO (dropout of burst signal), even if VELO ERROR is not

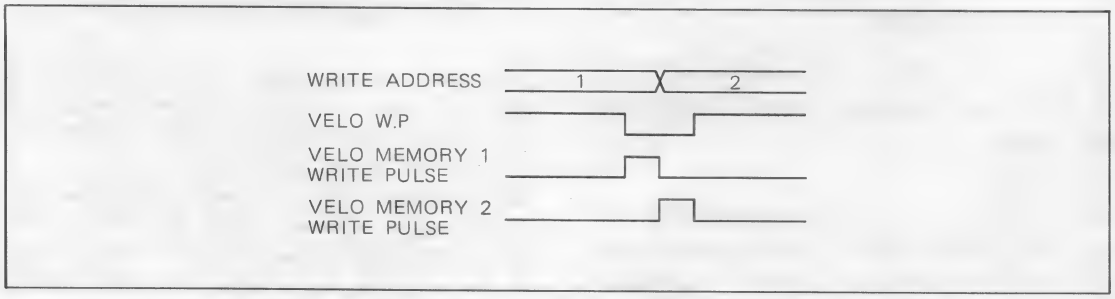


図3-3-1. ベロシティエラーの書込みタイミング

Fig. 3-3-1 Write Timing of Velocity Error

の場合のように，1H後にVELO ERRORが得られなくなっても1H前のVELO ERRORを代用することができる。書き込まれたVELO ERRORは，メモリーアドレスを指定する信号R ADD 2^0, 2^1によって読み出され，ラインベロシティエラージェネレーターへ送られる。
ラインベロシティエラージェネレーターはVELO ERRORを二次曲線近似によって補正する回路である。
二次曲線近似された電圧はSCモジュレーターへ送られ，R CKの原信号であるfsc/2を位相変調する。その結果，カラー処理における残留位相誤差が±2.5ns以下という高精度なベロシティエラー補償が達成される。
なお，B/Wモード，あるいはBIDIREXモードの場合には，ベロシティエラーのリセット状態がそのまま保持され，二次曲線近似補正は行なわれない。

3-3-11. R ZEROジェネレーター〔SG-62基板〕

R ZEROジェネレーターはメモリー読出しのスタート点を示す信号R ZEROを作る回路である。R ZEROは，W ZEROと同様，Hのタイミングから常に一定の点に，R SC(R CKを1/4した信号)で同期化されて作られる。
HD信号から作られたIC3P-12出力は，その後縁がIC5S-3出力のある特定の一波のエッジ(立下がり)に一致するように，パルス幅がPLLによって制御される。この結果，IC3P-5出力の後縁はR SCに位相ロックする。シフトレジスター(IC4R, IC4S)では，IC3P-5出力の後縁からSC3周期分の幅をもつパルスを発生する。このパルスがR ZERO信号である。シフトレジスターのクロックには，R N/I信号で1Hおきに反転されたR SCが使われている。これによって，書込み側のSCの位相情報(N/I)は読出し側に伝えられ，R ZEROはW ZEROを正しく再現することになる。
なお，PLLのエラー電圧は，W ZEROのPLLと同じ様に，ノーマル再生の開始時やカラーフレーミング調整時，あるいは過大なエラー電圧発生時には強制的に0Vにされ，PLLの動作は停止する。

3-3-12. カラーフレーミング表示回路〔AD-12, SG-62基板〕

カラーフレーミング表示回路は，書込み側および読出し側において，SC-H位相を常時監視する回路である。SC-H位相が最適値である場合には，"PB CF IN", と"REF CF IN"のLEDが点灯される。
BKH-2100はカラーフレーミング調整(SC-H位相調整)が可能である。SG-62基板のREF CF NORM/ADJ SWをADJに設定すると，書込み側のSC-H位相はAD-12基板のRV3(PB CF)によって，また読出し側のSC-H位相はSG-

obtained 1H later, it is possible to use the VELO ERROR of 1H before instead. The written VELO ERROR is read out by means of the signal R ADD 2^0, 2^1 which designates the memory address, and is then sent to the line velocity error generator.
The line velocity error generator is used to compensate VELO ERROR by means of a second order approximation. The second order approximated voltage is sent to the SC modulator and phase modulates fsc/2 which is the source of R CK signal. As a result, it is possible to attain high precision velocity error compensation of whose residual phase error is ±2.5ns or less during color processing. In the case of the B/W mode or BIDIREX mode, the reset condition of the velocity error will be retained as it is, and the second order approximation compensation will not take place.

3-3-11. R ZERO Generator [SG-62 Board]

The R ZERO generator is a circuit which generates the R ZERO signal that indicates the start of memory readout. Like W ZERO, R ZERO is generated in synchronization with R SC (signal generated by quartering RCK) so that it is always at a fixed point from the H timing.
The pulse width of the IC3P-12 output which is generated from the HD signal is controlled by PLL so that its trailing edge is in line with the negative-going edge of a specific wave of the IC5S-3 output. As a result, the trailing edge of the IC3P-5 output is phase-locked to R SC. In the shift register (IC4R and IC4S), a pulse having a width equal to the period of three SCs from the trailing edge of the IC3P-5 output is generated. This pulse is the R ZERO signal. The clock for this shift register is R SC which is inverted every 1H by the R N/I signal. In this way, the SC phase information N/I at the write side is transferred to the read side, enabling R ZERO to correctly reproduce W ZERO.
Like the PLL of W ZERO, the error voltage of PLL is forcibly set to 0V at the commencement of normal playback, during color framing adjustment, or in the event of an excessively large error voltage, and the operation of PLL will stop.

3-3-12. Color Framing Display Circuit [AD-12 and SG-62 Boards]

The color framing display circuit continually monitors the SC-H phase at both the write and read sides. When the SC-H phase is the optimum value, the "PB CF IN" and "REF CF IN" LEDs will light up.
With the BKH-2100, color framing adjustment (SC-H phase adjustment) is possible. When the REF CF NORM/ADJ SW on the SG-62 board is set to ADJ, the SC-H phase on the read side can be adjusted by RV3 (PB CF) on the AD-12 board, and also the SC-H phase on the read side can

62基板のRV18(REF CF)によって，それぞれ調整できる。
カラーフレーミング表示回路は，ある特定のSC-H位相に対してWINDOWをたてることによって，SC-H位相が最適値であるか否かの判定をしている。このWINDOWはNORM用とADJ用の二種類ある。
書込み側のWINDOWは，NORM時はPB Hを基準にして作られた幅約140nsのパルス，ADJ時はW SCから作られた幅約30nsのパルスである。
読出し側のWINDOWは，NORM時はHDを基準にして作られた幅約140nsのパルス，ADJ時はR CK, R CK/2, R SCの三種の信号によって作られた幅約30nsのパルスである。

be adjusted by RV18 (REF CF) on the SG-62 board. The color framing display circuit judges whether or not the phase of SC-H is suitable by applying a WINDOW to a specific SC-H.
There are two kinds of WINDOW, one for NORM and one for ADJ. The write side WINDOW is a pulse of approx. 140ns width generated on the basis of PB H during NORM, or a pulse of approx. 30ns width generated from W SC during ADJ.
The read side WINDOW is a pulse of approx. 140ns width generated on the basis of HD during NORM, or a pulse of approx. 30ns width generated by means of the three signals, R CK, R CK/2, and R SC.

3-4. 信　号

BKH-2100で用いられている信号とその機能は次のとおりである。(アルファベット順)

BF

〔Burst Flag〕

リファレンスのバースト信号のタイミングを示す信号。この信号を基にバーストゲートパルスが作られる。

BLK

〔Blanking signal〕

REF側のH, Vブランキング信号。 Hブランキングは同期信号とバースト信号部分について行なわれる。Vブランキングは1〜21ラインを対象としている。このうち1〜9ラインは常にブランキングされる。 10〜21ラインについては，ブランキングするラインをスイッチによって指定できる。

CB H

〔Center of Burst with H Rate〕

再生バースト信号中央付近のSC一波の位相をもつHレートの信号。この信号によってW CK発生用APCの基準信号が作られる。

C DO

〔Chroma Dropout signal〕

バースト信号がドロップアウトしたことを示す信号。通常はCB H信号によってトリガーされた幅約10 μsの負方向パルス信号であるが，バースト信号がドロップアウトするとパルスは出ず"H"レベルとなる。バースト信号がドロップアウトした場合には，クロマ信号は1H前ライン置換えが行なわれる。

CF ADJUST

〔Color Framing Adjust signal〕

SG-62基板のCF ADJUST/NORMALスイッチによる信号。CF ADJUSTのとき"L"となる。

CHROMA LEVEL CONT

〔Chroma Level Control Voltage〕

TBC OUT1, 2のクロマレベルを調整するための制御電圧。VTRのREMOTE AUXコネクターを経由して外部(例えばBK-2006)から送られてくる。

COL FR PULSE

〔Color Frame Pulse〕

再生ビデオ信号の第1フィールドの先頭部のタイミングで出力される幅約5msの4フィールドレートの負方向パルス。この信号によって，書込み側と読出し側で作られているSCのライン位相反転を初期設定し，それぞれのSCに，再生ビデオ信号の正しいカラーフレーム情報を持たせる。

4-3. SIGNALS

The signals used in the BKH-2100 and their functions are as follows. (The signals are arranged alphabetically.)

BF

[Burst Flag]

The signal which indicates the timing of the reference burst signal. Based on this signal, the burst gate pulse is generated.

BLK

[Blanking Signal]

The H and V blanking signal on the REF side. For the H blanking, sync and burst signal portions of the video signal are blanked out. For the V blanking, lines 1 to 21 can be blanked out. Lines 1 to 9 are always blanked out, and the blanking for lines 10 to 21 can be designated by means of switches.

CBH

[Center of Burst with H Rate]

The H rate signal which has the phase of one SC wave near the center of the playback burst signal. By means of this signal, the reference signal of APC used for generating W CK is generated.

C DO

[Chroma Dropout Signal]

The signal which indicates that the off-tape burst signal has dropped out. Normally, it is a negative-going pulse of about 10μs width which is triggered by the CB H signal, however when the burst signal drops out, a pulse will not appear, and the output level will be "H". When the burst signal drops out, the chroma signal will be line-replaced with 1H prior signal.

CF ADJUST

[Color Framing Adjust Signal]

This signal is selected by the CF ADJUST/NORMAL switch on the SG-62 board. When the switch is set to CF ADJUST, the output will be "L".

CHROMA LEVEL CONT

[Chroma Level Control Voltage]

The control voltage used to adjust the level of the TBC OUT 1 and 2 chroma signals. It is applied from an external source (for example, BK-2006) via the REMOTE AUX connector of the VTR.

COL FR PULSE

[Color Frame Pulse]

The 4-field rate negative-going pulse of about 5ms width which is outputted by the timing of the front of the first field of the off-tape video signal. Under this signal, the line phase inversion of SC which is generated at the write and read sides is set initially, and each SC signal is provided with correct color frame information concerning the off-tape video signal.

COLOR/BW

〔Color/Black and White Mode signal〕

ビデオ信号がカラーモードか白黒モードかを示す信号。カラーモードの時は"H", 白黒モードの時は"L" となる。

COMP/NON COMP

〔Composit/Non-Composit control signal〕

PR-36基板のCOMP/NON-COMPスイッチによる信号。NON-COMPにすると"L"となり，TBC OUT2には同期信号が付加されない。

CONFI

〔Confidence Mode signal〕

VTRが記録時に同時再生している場合（これをCONFIDENCEモードと呼んでいる），"L" となる信号。同時再生した場合，再生ビデオ信号はリファレンスビデオ信号に対してV/3遅延するので，この信号によって，TBCのSYNC GENの同期基準もV/3遅延される。

DEMOD OUT1

〔Demodulator Output 1〕

BVH-2000のデモジュレーター(DM-25基板) 出力信号。デモジュレーター出力には1と2があり，1はBKH-2100に入力される。2は外部TBC(BVT-2000)への出力となる。

DO

〔Dropout signal〕

ビデオ信号のドロップアウトを示す信号。ドロップアウト時は"L"となる。DO2信号の後縁が引き伸ばされた信号である。

DO 2

〔Dropout2 signal〕

VTRのイコライザー(EQ-02基板)で検出されたドロップアウト信号。"L"がドロップアウトを示す。

Fsc

〔Sub-Carrier signal〕

パルス化されたサブキャリヤ信号。WRITE CLOCK GENから発生されるものと，READ CLOCK GENから発生されるものとの二種類ある。

HD

〔H Drive signal〕

SG-62基板のSYNC GENから発生されるHドライブ信号。読出し側のHタイミングとして使われる。

HUE CONT

〔Hue Control Voltage〕

HUE調整のための制御電圧。VTRのREMOTE AUXコネクターを経由して外部(例えばBK-2006)から送られてくる。

COLOR/BW

[Color/Black and White Mode Signal]

The signal indicates whether the video signal is in the color mode or black and white mode. In the color mode, this signal is "H", and in the black and white mode, it is "L".

COMP/NON COMP

[Composite/Non-composite Control Signal]

This signal is produced by means of the COMP/NON-COMP switch on the PR-36 board. When set to NON-COMP, this signal is "L", and a synchronizing signal is not added to TBC OUT2.

CONFI

[Confidence Mode Signal]

The signal which becomes "L" when performing simultaneous playback while the VTR is in the record mode (this is called the CONFIDENCE mode). Since the off-tape video signal will be delayed by V/3 with respect to the reference video signal when performing simultaneous playback, the CONFI signal makes the synchronizing reference of TBC SYNC GEN delay by V/3.

DEMOD OUT 1

[Demodulator Output 1]

This is the demodulator (DM-25 board) output signal of BVH-2000. There are two demodulator outputs, 1 and 2. 1 is inputted to BKH-2100, and 2 is outputted to the external TBC (BVT-2000).

DO

[Dropout Signal]

The signal which indicates the dropout of the video signal. In the event that the video signal drops out, this signal will become "L". This is the signal whose the trailing edge of the DO 2 signal is stretched out.

DO2

[Dropout 2 Signal]

The dropout signal which is detected by the VTR equalizer (EQ-02 board). When it is "L", it indicates a dropout.

Fsc

[Sub-Carrier Signal]

The sub-carrier signal formed into a pluse. There are two types of carrier signals, one is generated from WRITE CLOCK GEN., and the other generated from READ CLOCK GEN.

HD

[H Drive Signal]

This is an H drive signal which is generated from SYNC GEN on the SG-62 board. It is used as an H timing signal on the read side.

HUE CONT

[Hue Control Voltage]

The control voltage for HUE adjustment. It is applied from an external source (for example BK-2006) via the REMOTE AUX connector of the VTR.

INITIAL SET
〔Initial Setting signal〕
PLAY STATUS信号の立上がりのタイミングで出力される信号。W ZERO GENとR ZERO GENを約1秒間リセットする。また，同時にN/I SET PULSE GENを動作させる。

LALT
〔Line Alternation signal〕
ライン反転信号。リファレンスビデオ信号のSC位相のライン反転に対応して，1ライン単位で反転している。

NORM・BW
〔Normal and Black/White Mode signal〕
ビデオ信号がノーマルモードで再生されたモノクロ信号の場合"L"となる信号。

NORM・COLOR
〔Normal and Color Mode signal〕
ビデオ信号がノーマルモードで再生されたカラー信号の場合"L"となる信号。

NORM/INV S.P
〔Normal/Inversion Setting Pulse〕
W N/I信号(書込み側のSC位相のライン反転を指示する信号)の初期設定信号。

PB CF ADJUST
〔Playback Color Framing Adjust Voltage〕
書込み側のSC-H位相を調整するための制御電圧。
AD-12基板上のボリュームRV3(PB CF)によって発生される。

PB CHROMA
〔Playback Chroma signal〕
再生ビデオ信号の中のクロマ信号。BVH-2000のデモジュレーター(DM-25基板)から送られてくる。

PB SYNC
〔Playback Sync signal〕
再生ビデオ信号の中のSYNC信号。BVH-2000のデモジュレーター(DM-25基板)から送られてくる。

PB V
〔Playback V Sync signal〕
再生ビデオ信号の中のV同期信号。BVH-2000のデモジュレーター(DM-25基板)から送られてくる。

INTIAL SET
[Initial Setting Signal]
The signal outputted by the timing of the rise of the PLAY STATUS signal. It resets W ZERO GEN and R ZERO GEN for a period of about 1 second. It also operates the N/I SET PULSE GEN.

LALT
[Line Alternation Signal]
The line inversion signal. It performs inversion in l-line units, corresponding to the line inversion of the SC phase of the reference video signal.

NORM・BW
[Normal and Black/White Mode Signal]
The signal which becomes "L" when the video signal is a monochrome signal played back in the normal mode.

NORM・COLOR
[Normal and Color Mode Signal]
The signal becomes "L" when the video signal is a color signal played back in the normal mode.

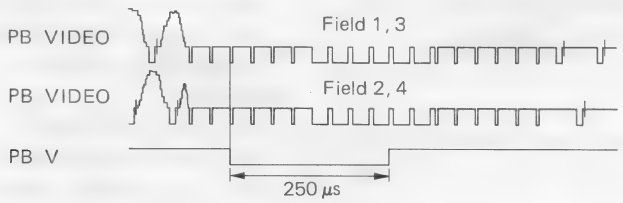
NORM/INV S.P
[Normal/Inversion Setting Pulse]
The signal necessary for initial-setting of the W N/I signal (signal which indicates line inversion of SC phase at write side).

PB CF ADJUST
[Playback Color Framing Adjust Voltage]
The control voltage used to adjust the phase of SC-H on the write side. It is generated by variable resistor RV3(PB CF) on the AD-12 board.

PB CHROMA
[Playback Chroma Signal]
The chroma signal in the playback video signal. It is received from the demodulator of BVH-2000 (DM-25 board.)

PB SYNC
[Playback Sync Signal]
The SYNC signal in the playback video signal. It is applied from the demodulator (DM-25 board) of BVH-2000.

PB V
[Playback V Sync Signal]
The V synchronizing signal in the playback video signal. It is applied from the demodulator (DM-25 board) of BVH-2000.



PLAY STATUS

〔VTR Play Status signal〕

VTRの再生モードを示す信号。"H"の時はノーマル再生，"L"の時はバイディレックス再生である。

PR Fsc

〔Process Fsc signal〕

SERVO REFERENCE VIDEOのSCに同期している信号。この信号からTBC出力のバースト信号が作られる。

R ADD P

〔Read Address Pulse〕

メモリー読出しのためのラインアドレスを作る際のスタート信号。

R ADD 2^0, 2^1

〔Read Address 2^0, 2^1〕

メモリー読出しのためのラインアドレスデータ。

R CK

〔Read Clock〕

メモリー読出しクロック。周波数は4fsc。

R DATA 2^0, 2^1, 2^2, 2^3, 2^4, 2^5, 2^6, 2^7

〔Read Data〕

メモリーから読出されたビデオ信号データ。PR-36基板へ送られてD/A変換される。

READ ADDRESS

〔Read Address Data〕

メインメモリーの読出しアドレスを指定する10ビットのデータ。

REF BW

〔Reference Black and White signal〕

SERVO REFERENCE VIDEOが白黒信号であることを示す信号。白黒信号のとき"L"となる。

REF CF ADJUST

〔Reference Color Framing Adjust Voltage〕

読出し側のSC-H位相を調整するための制御電圧。SG-62基板上のボリュームRV18(REF CF)によって発生される。

REF Fsc

〔Reference Sub-Carrier signal〕

SG-62基板のSC GEN.で作られる読出し側のサブキャリヤ信号。ベロシティエラー補正は受けていない。

REF SYNC

〔Reference Sync signal〕

BVH-2000のサーボリファレンス回路(SR-15基板)から送られてくるSYNC信号。SG-62基板のSYNC GEN.の基準信号となる。

PLAY STATUS

[VTR Play Status Signal]

The signal which indicates the playback mode of the VTR. When it is "H", it represents normal playback, and when it is "L", BIDIREX playback.

PR Fsc

[Process Fsc Signal]

The signal which is synchronized with SC of the SERVO REFERENCE VIDEO. The burst signal of the TBC output is generated from this signal.

R ADD P

[Read Address Pulse]

The start signal used when creating the line address for memory readout.

R ADD 2^0, 2^1

[Read Address 2^0, 2^1]

The line address data for memory read.

R CK

[Read Clock]

The memory read clock. Its frequency is 4fsc.

R DATA 2^0, 2^1, 2^2, 2^3, 2^4, 2^5, 2^6, 2^7

[Read Data]

The data concerning video signals read out from the memory. It is transmitted to the PR-36 board and is D/A converted.

READ ADDRESS

[Read Address Data]

The 10-bit data which designates the read address of the main memory.

REF BW

[Reference Block and White Signal]

The signal which indicates that SERVO REFERENCE VIDEO is a black and white signal. When it is a black and white signal, it becomes "L".

REF CF ADJUST

[Reference Color Framing Adjust Voltage]

The control voltage for adjusting the SC-H phase on the read side. It is generated by means of variable resistor RV18 (REF CF) on the SG-62 board.

REF Fsc

[Reference Sub-Carrier Signal]

The sub-carrier signal on the read side which is generated by SC GEN on the SG-62 board. It is not subjected to velocity error compensation.

REF SYNC

[Reference Sync Signal]

The SYNC signal which is applied from the BVH-2000 servo reference circuit (SR-15 board). It is used as a reference signal for SYNC GEN. of the SG-62 board.

REF 4F

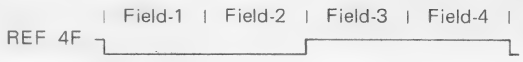
〔Reference 4-Field signal〕

BVH-2000のサーボリファレンス回路(SR-15基板)から送られてくる4フィールドインターバルの信号。2フィールド毎にレベルが反転している。

REF 4F

[Reference 4-field Signal]

The 4-field interval signal which is applied from the BVH-2000 servo reference circuit (SR-15 board). It is inverted every 2 fields.



R NORM/INV

〔Read Normal/Inversion signal〕

R ZERO発生の基準信号となるSCの位相をライン反転する信号。

R ZERO

〔Read Zero signal〕

メモリー読出しのスタートを指示する信号。

SC PHASE CONT

〔SC Phase Control Voltage〕

読出し側のSC位相を調整する制御電圧。VTRのREMOTE AUXコネクターを経由して外部(例えばBK-2006)から送られてくる。

SELECT H

〔Selected H signal〕

ノーマル再生では，1H前のH SYNCによって立てられたWINDOWを通過した信頼度の高いH信号。

BIDIREX再生ではPB SYNCがそのままSELECT Hとなる。

SET UP CONT

〔Set up Control Voltage〕

TBC出力のSET UPを調整するための制御電圧。VTRのREMOTE AUXコネクターを経由して外部(例えばBK-2006)から送られてくる。

SR VIDEO

〔Servo Reference Video signal〕

VTRのサーボリファレンスとなっているビデオ信号。TBCのリファレンスビデオ信号でもある。

SYNC

〔Synchronizing signal〕

SG-62基板のSYNC GEN.から発生される複合同期信号。

SYNC PHASE CONT

〔Sync Phase Control Voltage〕

読出し側のSYNC位相を調整するための制御電圧。VTRのREMOTE AUXコネクターを経由して外部(例えばBK-2006)から送られてくる。

R NORM/INV

[Read Normal/Inversion Signal]

This signal line-inverts the phase of SC which becomes the reference signal for R ZERO generation.

R ZERO

[Read Zero Signal]

The signal which designates the start of memory read.

SC PHASE CONT

[SC Phase Control Voltage]

The control voltage which adjusts the SC phase on the read side. It is applied from an external source (for example BK-2006) via the REMOTE AUX connector on the VTR.

SELECT H

[Selected H Signal]

During normal playback, this is a highly reliable H signal which passes through the WINDOW formed by the H SYNC signal of 1H previously. During BIDIREX playback, PB SYNC becomes SELECT H as it is.

SET UP CONT

[Set Up Control Voltage]

The control voltage used for adjusting the SET UP of the TBC output. It is applied from an external source (for example BK-2006) via the REMOTE AUX connector of the VTR.

SR VIDEO

[Servo Reference Video Signal]

The video signal for the VTR servo reference. It is also the reference video signal for TBC.

SYNC

[Synchronizing Signal]

The compound synchronizing signal which is generated by SYNC GEN on the SG-62 board.

SYNC PHASE CONT

[Sync Phase Control Voltage]

The control voltage used for adjusting the SYNC phase on the read side. It is applied from an external source (for example BK-2006) via the REMOTE AUX connector on the VTR.

TBC FRAME

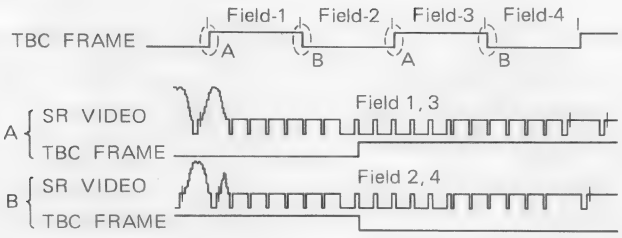
〔TBC Frame signal〕

SG-62基板のSYNC GEN.で発生されるフレーム信号。

TBC FRAME

[TBC Frame Signal]

The frame signal which is generated from SYNC GEN on the SG-62 board.



TBC OUT 1

〔TBC Output Video signal 1〕

時間軸補正されたビデオ信号出力。TBC OUT 1はコンポジットビデオ信号のみが出力される。

TBC OUT 2

〔TBC Output Video signal 2〕

時間軸補正されたビデオ信号出力。TBC OUT 2 については，PR-36基板のCOMP/NON-COMP スイッチによってコンポジット/ノンコンポジットの設定を選択することができる。

TBC SYNC

〔TBC Synchronizing signal〕

SG-62基板のSYNC GEN.で発生された同期信号。TBC OUT 1, 2のSYNC信号となる。

TBC VD

〔TBC V Drive signal〕

SG-62基板のSYNC GEN.で作られたVドライブ信号。

VD

〔V Drve signal〕

SG-62基板のSYNC GEN.で作られたVドライブ信号。TBC VDとしてAD-12基板へ送られる。

VELO ERROR

〔Velocity Error Voltage〕

速度誤差電圧。1H前のCB HによってAPCがかけられたW SCと，現在のCB Hとの位相比較によって検出されている。

VELO ERROR COMP

〔Velocity Error Compensation Voltage〕

速度誤差補償のために読出し側のSC位相を変調する速度誤差電圧。2次曲線近似の手法によって，真の速度誤差に極めて近い値になっている。

VELO W. P

〔Velocity Error Write Pulse〕

VELO ERROR MEMORYにVELO ERRORの書込みを指示する信号。

TBC OUT 1

[TBC Output Video Signal 1]

The video signal output which is time-base corrected. Only a composite video signal is outputted from TBC OUT 1.

TBC OUT 2

[TBC Video Signal 2]

The video signal output which is time-base corrected. Regarding TBC OUT 2, the composite/non-composite setting can be selected using the COMP/NON-COMP switch on the PR-36 board.

TBC SYNC

[TBC Synchronizing Signal]

The synchronizing signal generated by SYNC GEN. on the SG-62 board. It is used as sync signal in the TBC output video signal.

TBC VD

[TBC V Drive Signal]

The V drive signal generated by SYNC GEN. on the SG-62 board.

VD

[V Drive Signal]

The V drive signal generated by SYNC GEN. on the SG-62 board. It is sent to the AD-12 board as TBC VD.

VELO ERROR

[Velocity Error Voltage]

The velocity error voltage. It is detected by a phase comparison between W SC to which APC is applied by CBH of 1H before, and the present CBH.

VELO ERROR COMP

[Velocity Error Compensation Voltage]

The velocity error voltage which modulates the phase of SC on the read side, for velocity error compensation. Using the second order approximation method, it is possible to obtain a value which is extremely close to the true velocity error.

VELO W.P

[Velocity Error Write Pulse]

The signal which writes VELO ERROR into the VELO ERROR MEMORY.

VIDEO LEVEL CONT

〔Video Level Control Voltage〕

TBC OUT 1, 2のビデオレベルを調整するための制御電圧。VTRのREMOTE AUXコネクターを経由して外部(例えばBK-2006)から送られてくる。

W/R ZERO GEN. INITIAL SET

〔Write/Read Zero Generator Initial Setting signal〕

VTRがPLAYモードに入った直後(PLAY STATUS信号の立上がり後)の約1秒間"L"となり，その間に，W ZERO GEN.とR ZERO GEN.のPLLのエラー電圧を強制的にOVにする。

W ADD P

〔Write Address Pulse〕

メモリー書込みのためのラインアドレスを作るHレートの信号。

W ADD 2^0, 2^1

〔Write Address 2^0, 2^1〕

メモリー書込みのためのラインアドレスデータ。

W CK

〔Write Clock〕

メモリー書込みクロック。周波数は4fsc。再生バースト信号に位相ロックしている。

W DATA 2^0, 2^1, 2^2, 2^3, 2^4, 2^5, 2^6, 2^7

〔Write Data〕

A/D変換されてメインメモリーへ書き込まれるビデオ信号データ。

W N/I

〔Write Normal/Inversion signal〕

書込み側のSC位相のライン反転を指示する信号。

WRITE ADDRESS

〔Write Address Data〕

メインメモリーの書込みアドレスを指定する10ビットのデータ。

W SC

〔Write Sub-Carrier signal〕

APCによって再生バースト信号に位相ロックしているSC信号。W N/IによってSC位相の連続性は保たれている。

W ZERO

〔Write Zero signal〕

メモリー書込みのスタートを指示する信号。

Y DO

〔Y Dropout signal〕

ドロップアウト時に"H"となり，Y信号の1H前置換えを指示する。

VIDEO LEVEL CONT

[Video Level Control Voltage]

The control voltage which adjusts the video level of TBC OUT 1 and 2. It is applied from an external source (for example BK-2006) via the REMOTE AUX connector of the VTR.

W/R ZERO GEN INITIAL SET

[Write/Read Zero Generator Initial Setting Signal]

This signal becomes "L" for a period of about 1 second immediately after the VTR enters the PLAY mode (after the rise of the PLAY STATUS signal). During this time, the error voltage of the PLL of W ZERO GEN and R ZERO GEN is forcibly made 0V.

W ADD P

[Write Address Pulse]

The H level signal which is used to make the line address for memory write.

W ADD 2^0, 2^1

[Write Address 2^0 and 2^1]

The line address data for memory write.

W CK

[Write Clock]

The memory write clock. Its frequency is 4fsc. It is phase-locked to the playback burst signal.

W DATA 2^0, 2^1, 2^2, 2^3, 2^4, 2^5, 2^6, 2^7

[Write Data]

The data which is A/D converted and written in the main memory.

W N/I

[Write Normal/Inversion Signal]

The signal which indicates line inversion of the SC phase at the write side.

WRITE ADDRESS

[Write Address Data]

The 10-bit data which designates the write address of the main memory.

W SC

[Write Sub-Carrier Signal]

The SC signal which is phase-locked to the off-tape burst signal by APC. The continuity of the SC phase is maintained by means of W N/I signal.

W ZERO

[Write Zero Signal]

The signal which designates the start of memory write.

Y DO

[Y Dropout Signal]

In the event of a dropout, this signal becomes "H" and designates the replacement of Y dropout section with 1H prior signal.

4Fsc

〔4×Fsc signal〕

サブキャリヤ周波数の4倍の信号。書込み側，読出し側の両方で作られている。

±CONT

〔Plus/Minus Control signal〕

ドロップアウト補償回路でのY/C MIXの際，Y±Cの演算モードを指定する信号。この制御によってクロマ信号の連続性は保たれる。

4Fsc

[4×Fsc signal]

The signal having a frequency of 4 times that of the sub-carrier. It is generated at both the write and read sides.

±CONT

[Plus/Minus Control Signal]

The signal designates the arithmetic mode of Y±C during Y/C MIX at the dropout compensation circuit. By means of this control, it is possible to maintain continuity of the chroma signal.

第4章
調整のための一般情報

SECTION 4
GENERAL INFORMATION FOR ALIGNMENT

4-1. 調整部品索引

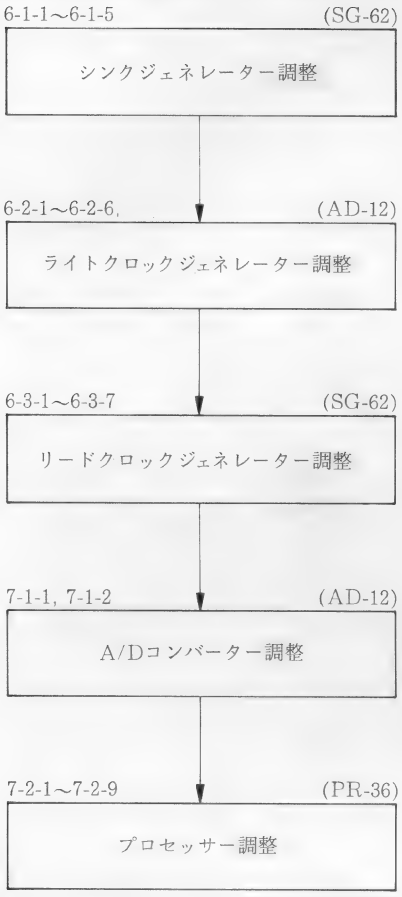
4-1. INDEX OF ALIGNMENT COMPONENTS

AD-12 Board	Section		Section
LV1	6-2-1	RV1	7-1-1
LV2	6-2-3	RV2	7-1-2
RV3 PB CF	5-5		
RV4	6-2-5	RV7	5-5
RV5	6-2-4	RV8	6-2-2
RV6	6-2-6		
S1 VIDEO PHASE	5-5		

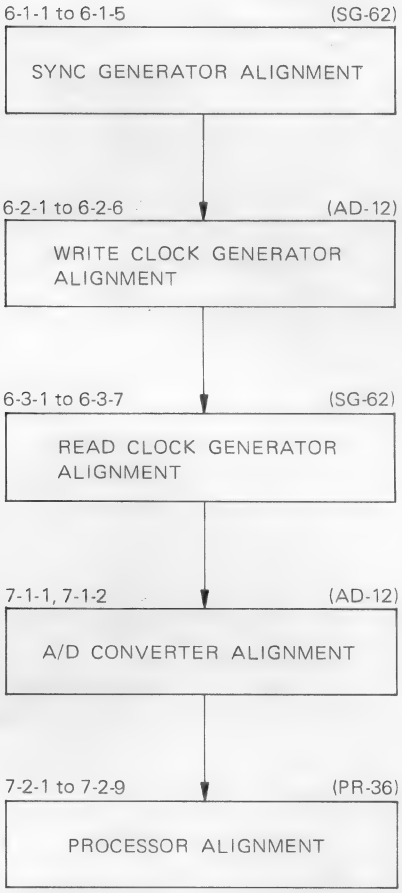
SG-62 Board			
LV1	6-3-3	RV7	6-3-6
RV2	6-1-1	RV8	6-3-6
RV3	6-1-2	RV9	6-3-7
RV4	6-1-4	RV12	6-3-4
RV5	6-1-5	RV13	6-3-2
RV6	6-1-3	RV14	6-3-1
RV15 H PHASE	6-1-1		
RV16 SC PHASE	5-5		
RV17 HUE	6-3-4		
RV18 REF CF	5-5		
RV19	6-3-5		
S1 REMOTE/LOCAL	5-5		
S2 V BLK	5-5		
S3 V BLK	5-5		
S4 REF NORM/ADJ	6-2-5, 6-3-7		

PR-36 Board			
RV1 CHROMA LEVEL	7-2-4		
RV2 SET UP LEVEL	7-2-1, 7-2-5		
RV3 VIDEO LEVEL	7-2-1		
RV4	7-2-8	RV9	7-2-5
RV5	7-2-6	RV10	7-2-3
RV6	7-2-9	RV11	7-2-2
RV7	7-2-1	RV12	7-2-7
RV8	7-2-7	RV13	7-2-4
S1 REMOTE/LOCAL	5-5		
S2 COMP/NON COMP	5-5		
S3 BURST ON/OFF	5-5		

4-2. 調整順序



4-2. ALIGNMENT SEQUENCE



第5章
調整前の準備

5-1. 使用機器

1. NTSC信号発生器
ソニーテクトロニクス1410型又は相当品

plug-in Unit	SYNC GENERATOR	SPG2
	COLOR BAR GEN.	TSG1
	PULSE&BAR GEN.	TSG5
	MULTIBURST GEN.	TSG6

信号の規格に関しては5-2章参照。

2. NTSCベクトルスコープ
ソニーテクトロニクス520A型又は相当品

3. オシロスコープ
ソニーテクトロニクス465B型又は相当品

4. デジタル電圧計
有効桁数；5桁以上
精　　度；0.02%，±1カウント以下

5. VTR
ソニーBVH-2000

6. 延長基板；EB-10（BVH-2000に1枚付属）
ソニー部品番号 A-6001-005-A

7. 基準テープ；BR5-2NTSC
ソニー部品番号 8-944-005-02

8. 空リール

9. ICテストクリップ
TC-16 ソニー部品番号 J-6041-770-A
TC-20 ソニー部品番号 J-6041-780-A
製造元；AP PRODUCTS INCORPORATED
U.S.A.
輸入販売元；㈱常盤商行
140 東京都品川区南大井3-31-11 金沢ビル
TEL 03-766-6701
チェック，調整時にDIPタイプICの足にオシロスコープのプローブをかけるのに便利である。TC-16は14ピンまたは16ピンのDIP ICに，TC-20は18ピンまたは20ピンのDIP ICに使える。

SECTION 5
PREPARATION FOR ALIGNMENT

5-1. EQUIPMENT REQUIRED

1. NTSC Test Signal Generator
TEKTRONIX Type 1410 or Equivalent

Test Signal Module	SYNC GENERATOR	SPG2
	COLOR BAR GEN.	TSG1
	PULSE & BAR GEN.	TSG5
	MULTIBURST GEN.	TSG6

Refer to section 5-2 for signal details.

2. NTSC Vectorscope
TEKTRONIX Type 520A or Equivalent

3. Oscilloscope
TEKTRONIX Type 465B or Equivalent

4. Digital Voltmeter
Effective digits: more than 4½ digits
Accuracy: less than 0.02% ±1 count

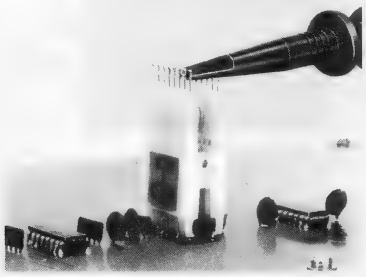
5. Video Tape Recorder
SONY BVH-2000

6. Extender; EB-10 (Supplied with BVH-2000)
SONY Part No. A-6001-005-A

7. Alignment Tape; BR5-2
SONY Part No. 8-944-005-02

8. Empty Reel

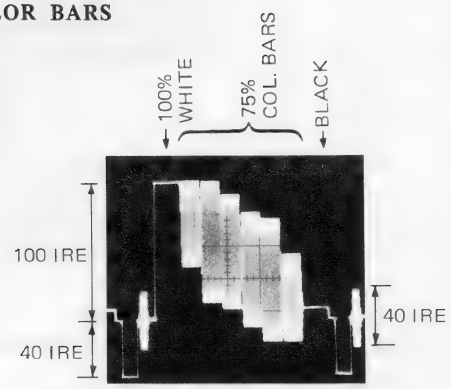
9. IC Test Clip
Type TC-16: SONY Part No. J-6041-770-A
Type TC-20: SONY Part No. J-6041-780-A
Manufacturer:
AP PRODUCTS INCORPORATED
P.O. Box 697. 72 Corwin Drive
Peinesville, Ohio 44077, U.S.A.
Tel: (216) 354-2101
When connecting the test probe to the terminal of DIP integrated circuit, these clips are convenient. Type TC-16 is for DIP 14-pin or 16-pin IC and Type TC-20 is for 18-pin or 20-pin IC.



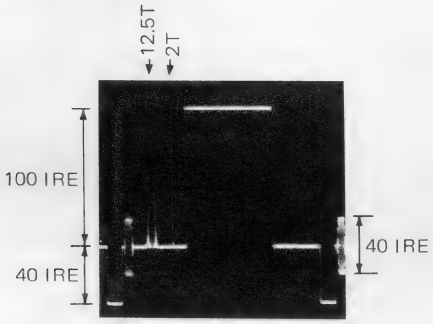
5-2. テスト信号

5-2. TEST SIGNALS

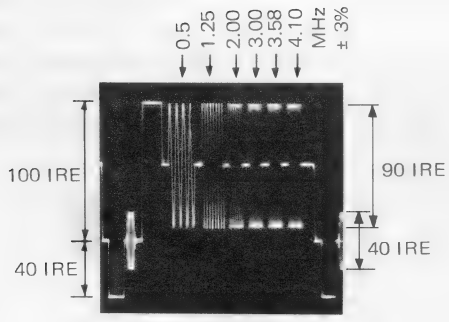
COLOR BARS



PULSE & BAR



MULTIBURST

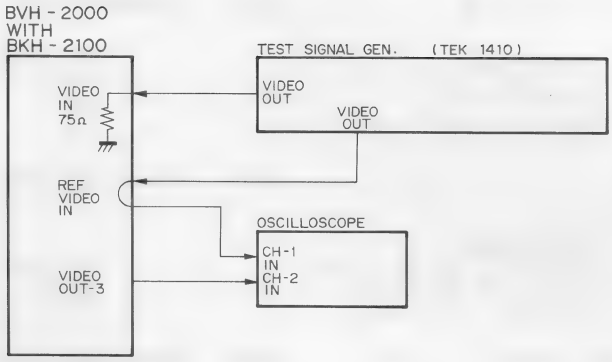


5-3. 機器の接続

接続 1 （6-1-1項で使用）

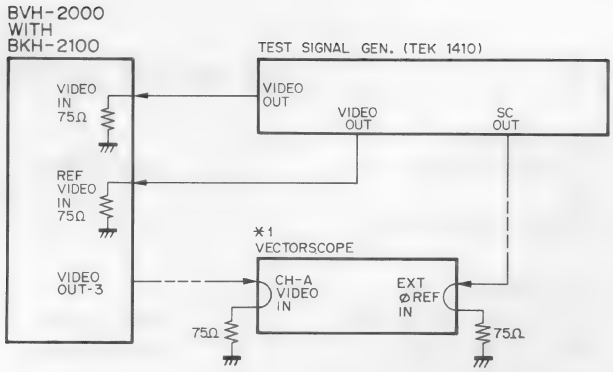
5-3. CONNECTIONS

CONNECTION 1. (For sec. 6-1-1)



接続 2

CONNECTION 2.



＊1　ベクトルスコープは，6-3-1, 6-3-2及び6-3-4項の調整に使用する。

*1. When performing the adjustments of section 6-3-1, 6-3-2 and 6-3-4, prepare the Vectorscope.

5-4. BVH-2000のセッティング

5-4-1. レベルコントロールパネル部

REMOTE/LOCAL Sw . . . . . LOCAL

5-4-2. ファンクションコントロールパネル部

TAPE/EE Sel . . . . . TAPE/EE
SERVO REF Sel . . . . . INPUT
HEAD Selector . . . . . R/P

5-4-3. コネクターパネル部

VM-01 Board
V-OUT 1, 2 DEM/BKH (HT) . . . . . BKH (HT)
V-OUT 3 DEM/BKH . . . . . BKH

5-4-4. その他のスイッチ，ボリウムのセッティング

5-4-1から5-4-3章で指示されていないスイッチ，ボリウムについては，ノーマル再生モードまたはAUTO E-Eモードが正常に動作できる位置に設定する。

5-4. INITIAL SETTING OF THE BVH-2000

5-4-1. Level Control Panel

REMOTE/LOCAL Sw . . . . . LOCAL

5-4-2. Function Control Panel

TAPE/EE Sel . . . . . TAPE/EE
SERVO REF Sel . . . . . INPUT
HEAD Selector . . . . . R/P

5-4-3. Connector Panel

VM-01 Board
V-OUT 1, 2 DEM/BKH (HT) . . . . . BKH (HT)
V-OUT 3 DEM/BKH . . . . . BKH

5-4-4. Other Switch & Control Setting

As for the switch & control setting not designated in section 5-4-1 to 5-4-3, set them to the suitable position for NORM-PLAY or AUTO E-E mode.

5-5. BKH-2100のセッティング

AD-12 Board
PB CF Cont (RV3) . . . . . *Mid-rotation
RV7 . . . . . *
VIDEO PHASE Sw (S1) . . . . . "5"

SG-62 Board
SC PHASE Cont (RV16) . . . . . *Mid-rotation
REF CF Cont (RV18) . . . . . *Mid-rotation
REMOTE/LOCAL Sw (S1) . . . . . ALL LOCAL
V BLK Sw (S2) . . . . . ALL ON
V BLK Sw (S3) . . . . . Line 14 to 20; ON
Line 21; OFF

PR-36 Board
REMOTE/LOCAL Sw (S1) . . . . . ALL LOCAL
COMP/NON COMP Sw (S2) . . . . . COMP
BURST ON/OFF Sw (S3) . . . . . ON

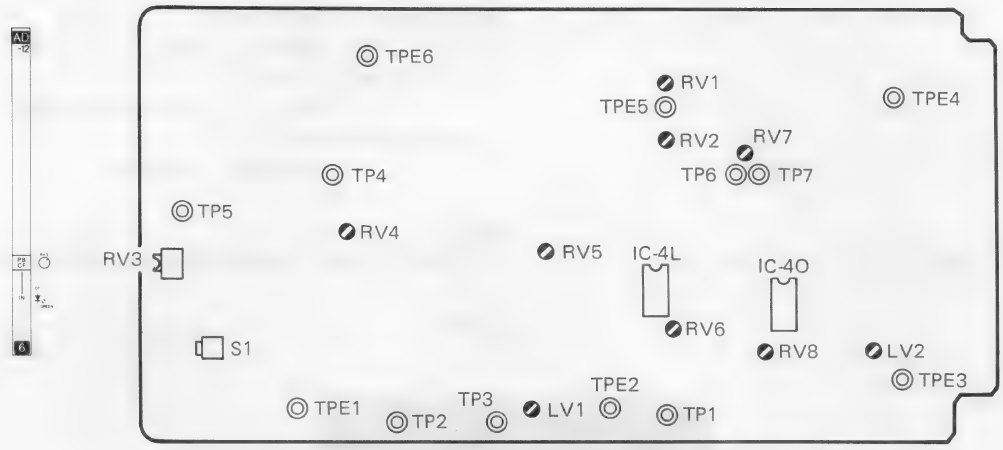
注意；
アスタリスク(*)を付けた部品はBKH-2100の調整に関係しません。

Note;
The components marked by asterisk (*) do not affect the adjustment of the BKH-2100.

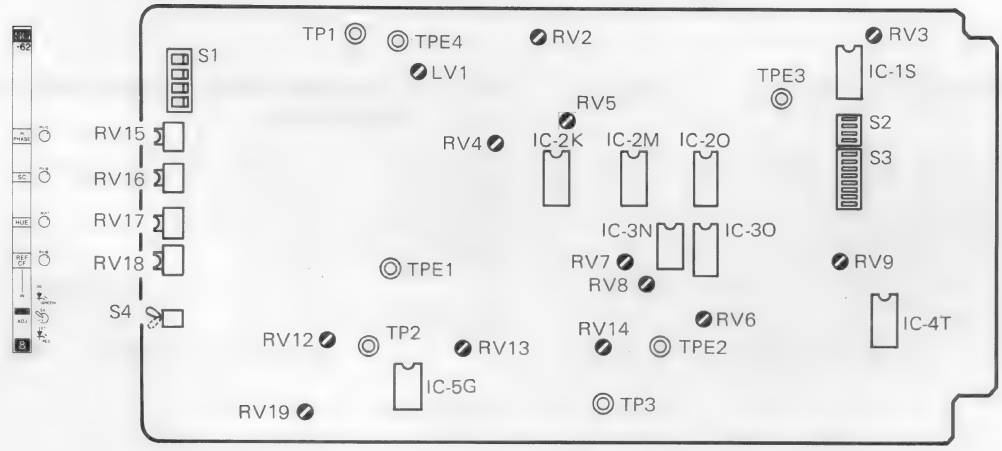
第6章
クロック・制御信号系調整

SECTION 6
CLOCK AND CONTROL SIGNAL SYSTEM ALIGNMENT

AD-12 Board



SG-62 Board



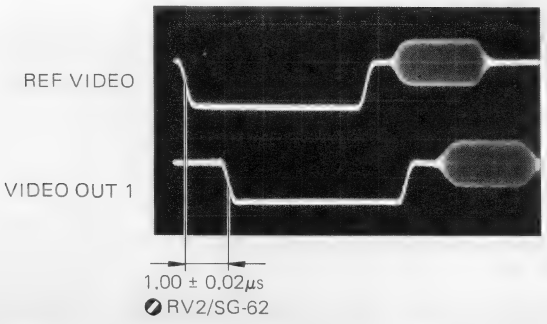
6-1. SYNCジェネレーター調整

6-1-1. SYNC位相プリセット調整

接　続；　　5-3項，接続1参照。
測定器；　　オシロスコープ
VTRのモード；STOP (Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号 (VIDEO IN)；
　　バースト付ビデオ信号

Step1.
H PHASE Cont (◐ RV15)/SG-62；右回り一杯

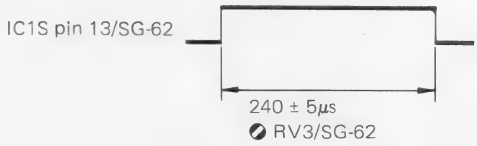
Step2.



6-1-2. CONFIDENCEモードVリセットパルス幅調整

接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　バースト付ビデオ信号。

調整



6-1. SYNC GENERATOR ALIGNMENT

6-1-1. Sync Phase Preset Adjustment

Connection;　See section 5-3 connection 1.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　Any Signal with Burst

Step 1.
H PHASE Control (◐ RV15)/SG-62;　Fully clockwise

Step 2.

6-1-2. Confidence Mode V Reset Pulse Width Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　Any Signal with Burst

Adjustment

6-1-3. TBCフレーム信号位相調整

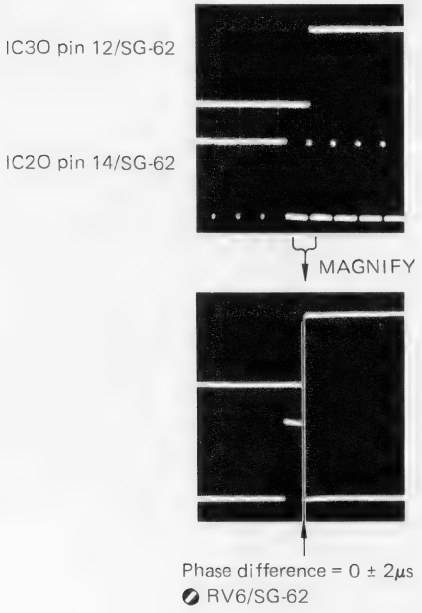
接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　バースト付ビデオ信号。

調整

6-1-3. TBC Frame Signal Phase Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　Any Signal with Burst

Adjustment



6-1-4. Hブランキングパルス幅調整

接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　バースト付ビデオ信号。

調整

6-1-4. H Blanking Pulse Width Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　Any Signal with Burst

Adjustment

6-1-5. Half H ブランキングパルス幅調整

接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　バースト付ビデオ信号。

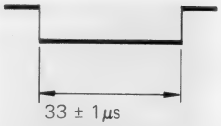
調整

6-1-5. Half H Blanking Pulse Width Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　Any Signal with Burst

Adjustment

IC2K pin 4/SG-62



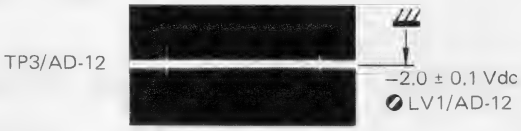
33 ± 1μs
RV5/SG-62

6-2. ライトクロックジェネレーター調整

6-2-1. VCOエラー調整

接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　バースト付ビデオ信号。

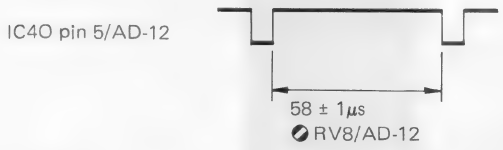
調整



6-2-2. Hセレクションウィンドウ幅調整

接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　バースト付ビデオ信号。

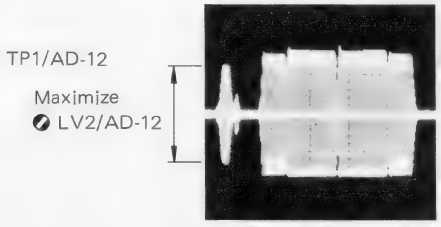
調整



6-2-3. バーストチューニング調整

接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　バースト付ビデオ信号。

調整



6-2. WRITE CLOCK GENERATOR ALIGNMENT

6-2-1. VCO Error Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　Any Signal with Burst

Adjustment

6-2-2. H Selection Window Width Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　Any Signal with Burst

Adjustment

6-2-3. Burst Tuning Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　Any Signal with Burst

Adjustment

6-2-4. 温度特性補償回路エラー調整

接　続；　　5-3項，接続2参照。
測定器；　　デジタル電圧計
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　バースト付ビデオ信号

調整
TP2/AD-12＝2.0±0.1 Vdc
　　◐ RV5/AD-12

6-2-4. Temperature Characteristics Compensation System Error Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Digital Voltmeter
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　Any Signal with Burst

Adjustment
TP2/AD-12 = 2.0 ± 0.1 Vdc
　　◐ RV5/AD-12

6-2-5. カラーフレーミングウィンドウ位相調整

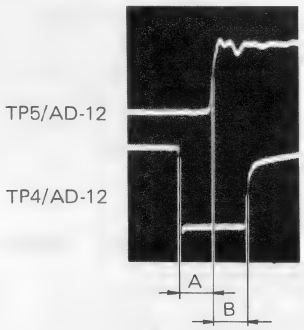
接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　REF CF NORM/ADJ sw(S4)/SG-62；ADJ
入力信号(VIDEO IN)；
　　バースト付ビデオ信号

調整

6-2-5. Color Framing Window Phase Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　REF CF NORM/ADJ sw (S4)/SG-62: ADJ
Input Signal (VIDEO IN);
　　Any Signal with Burst

Adjustment



A = B ± 10 ns
◐ RV4/AD-12

注意；
調整後，REF CF NORM/ADJスイッチをNORM側にする。

Note;
After this adjustment, turn the REF CF NORM/ADJ sw to NORM.

6-2-6. B/W APCパルスシフト量調整

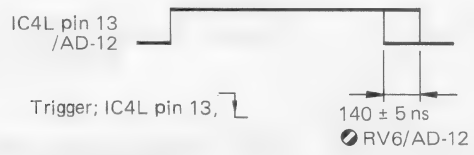
接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　白黒ビデオ信号

調整

6-2-6. B/W APC Pulse Shift Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　Any NTSC Monochrome Signal

Adjustment



6-3. リードクロックジェネレーター調整

6-3-1. ベロシティーエラーオフセット調整

接　続；　　5-3項，接続2参照。
測定器；　　ベクトルスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　COLOR BARS(レッドリファレンス)

調整
ベクトルスコープ上のレッドスポットを最小にする。
　　RV14/SG-62

6-3-2. ベロシティーエラーゲイン調整

接　続；　　5-3項，接続2参照。
測定器；　　ベクトルスコープ
VTRのモード；PLAY
　　(アライメントテープのCOLOR BARS使用)
スイッチ，ボリウムのセッティング；5-5項と同様。
入力信号(VIDEO IN)；
　　無関係

調整
ベクトルスコープ上のブルースポットを最小にする。
　　RV13/SG-62

6-3-3. バーストチューニング調整

接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　バースト付ビデオ信号

調整

6-3. READ CLOCK GENERATOR ALIGNMENT

6-3-1. Velocity Error Offset Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Vectorscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　COLOR BARS (Red Reference)

Adjustment
Minimize the red spot on the vectorscope.
　　RV14/SG-62

6-3-2. Velocity Error Gain Adjustment

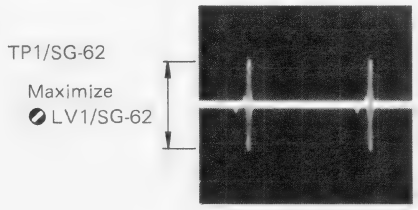
Connection;　See section 5-3 connection 2.
Equipment;　Vectorscope
Mode of VTR;　PLAY (Color Bars of Alignment Tape)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　Irrelevant

Adjustment
Minimize the blue spot on the vectorscope.
　　RV13/SG-62

6-3-3. Burst Tuning Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　Any Signal with Burst

Adjustment



6-3-4. HUE プリセット調整

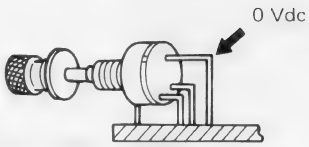
接　続；　　5-3項，接続2参照。
測定器；　　ベクトルスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　COLOR BARS

Step1.
HUE Control(◐RV17)/SG-62,
　　センターリード=0 Vdc

6-3-4. Hue Preset Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Vectorscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　COLOR BARS

Step 1.
HUE Control (◐ RV17)/SG-62,
　　Center lead = 0 Vdc



Step2.
ベクトルスコープ上のバースト-クロマ位相を正規に調整する。
　　◐RV12/SG-62

Step 2.
Normalize the burst-chroma phase on the vectorscope.
　　◐RV-12/SG-62

6-3-5. 波形デューティ調整

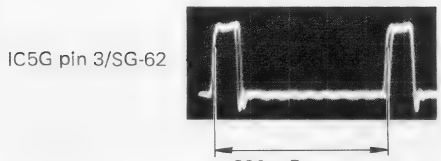
接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　バースト付ビデオ信号

調整

6-3-5. Waveform Duty Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　Any Signal with Burst

Adjustment



◐RV19/SG-62

6-3-6. READ ZERO リミッター調整

接　続；　　5-3項，接続2参照。
測定器；　　デジタル電圧計
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　バースト付ビデオ信号

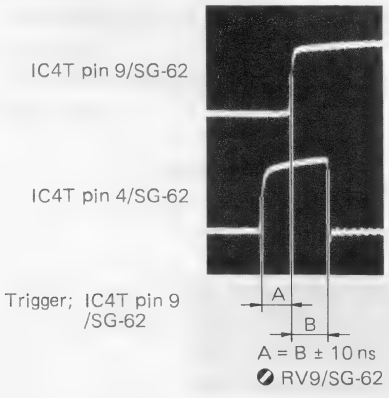
Step1. 下限値調整
IC3N pin5/SG-62=−2.2±0.1Vdc
　　◐ RV8/SG-62.

Step2. 上限値調整
IC3N pin2/SG-62=+3.4±0.1Vdc
　　◐ RV7/SG-62

6-3-7. REFカラーフレーミングウィンドウ調整

接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　REF NORM/ADJ sw (S4)/SG-62；ADJ
入力信号(VIDEO IN)；
　　バースト付ビデオ信号

調整



注意；
調整後，REF CF NORM/ADJスイッチをNORM側にする。

6-3-6. Read Zero Limiter Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Digital Voltmeter
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　Any Signal with Burst

Step 1. Lower Limit Adjustment
IC3N pin 5/SG-62 = −2.2 ± 0.1 Vdc
　　◐ RV8/SG-62

Step 2. Upper Limit Adjustment
IC3N pin 2/SG-62 = +3.4 ± 0.1 Vdc
　　◐ RV7/SG-62

6-3-7. Ref. Color Framing Window Phase Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　REF CF NORM/ADJ sw (S4)/SG-62; ADJ
Input Signal (VIDEO IN);
　　Any Signal with Burst

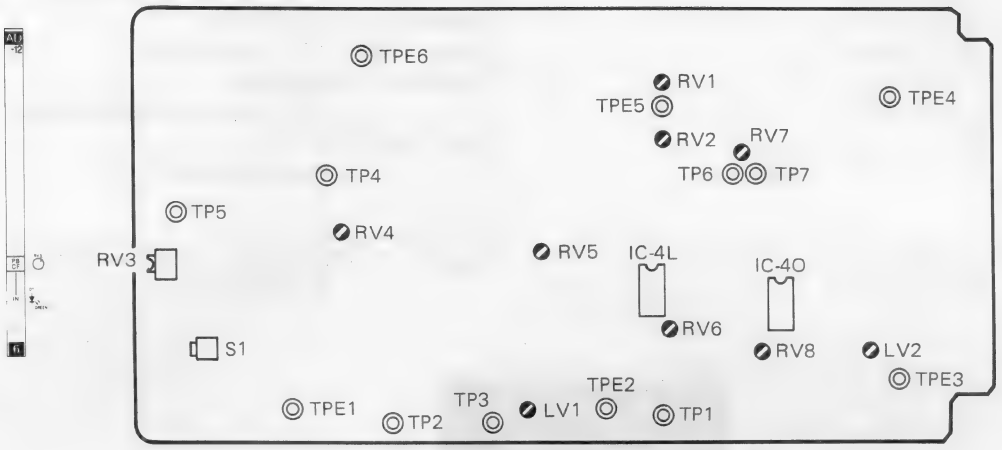
Adjustment

Note;
After this adjustment, turn the REF CF NORM/ADJ sw to NORM.

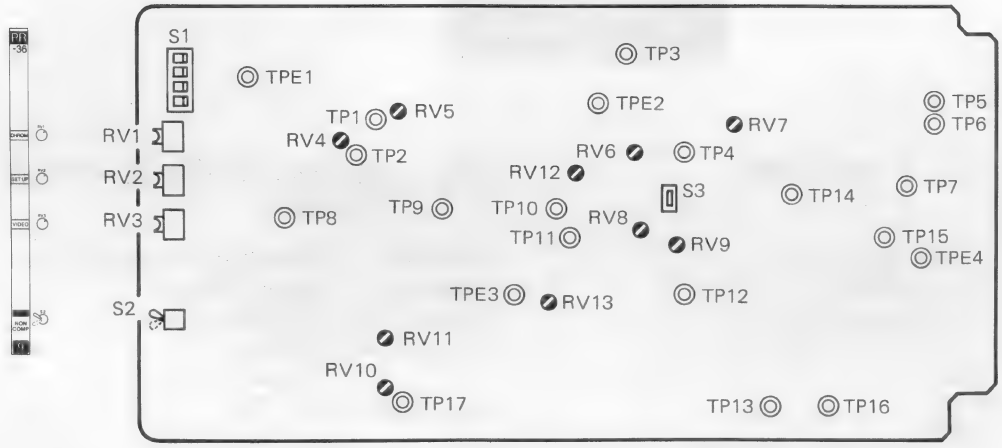
第7章
ビデオ信号系調整

SECTION 7
VIDEO SIGNAL SYSTEM ALIGNMENT

AD-12 Board



PR-36 Board



7-1. A/Dコンバーター調整

7-1-1. ビデオレベルオフセット調整

接　続；　5-3項，接続2参照。
測定器；　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　5-5項と同様。
入力信号(VIDEO IN)；
　バースト付ビデオ信号

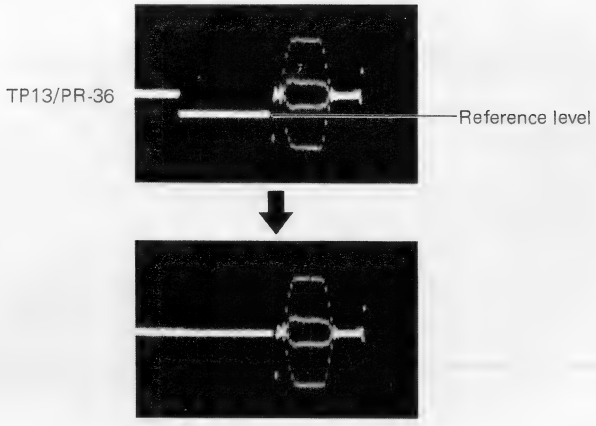
調整
ペデスタルレベルを基準レベルに一致させる。
　◐ RV1/AD-12

7-1. A/D CONVERTER ALIGNMENT

7-1-1. Video Level Offset Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　The Same as the Initial Setting
Input Signal (VIDEO IN);
　Any Signal with Burst

Adjustment
Equalize the pedestal level to the reference level.
　◐ RV1/AD-12



7-1-2. A/Dコンバーター基準電圧調整

接　続；　5-3項，接続2参照。
測定器；　デジタル電圧計
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　無関係
入力信号(VIDEO IN)；
　無関係

調整
TP6/AD-12＝−2.000±0.002Vdc
　◐ RV2/AD-12

7-1-2. A/D Converter Reference Voltage Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Digital Voltmeter
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　Irrelevant
Input Signal (VIDEO IN);
　Irrelevant

Adjustment
TP6/AD-12 = −2.000 ± 0.002 Vdc
　◐ RV2/AD-12

7 - 2. プロセッサー調整

7-2-1. ビデオレベルプリセット調整

接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　COLOR BARS

Step1. 入力ビデオレベル校正
基板コネクターpin33/AD-12のビデオレベル=0.5Vp-p
　　◎VIDEO LEVEL Control/コントロールパネル

Step2. VIDEO LEVELボリウムプリセッティング
VIDEO LEVEL Control (◎RV3)/PR-36,
　　センターリード=0Vdc

Step3. セットアップレベル校正
TP3/PR-36，セットアップレベル=0±10mVdc
　　◎SET UP LEVEL Control(RV2)/PR-36

Step4. ビデオレベルプリセット調整
TP3/PR-36，ビデオレベル=0.50±0.01Vp-p
　　◎RV7/PR-36

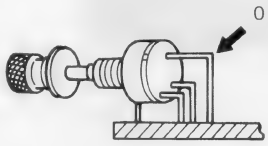
7-2. PROCESSOR ALIGNMENT

7-2-1. Video Level Preset Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　COLOR BARS

Step 1. Input Video Level Calibration
Edge connector pin 33/AD-12, Video level = 0.5 Vp-p
　　◎VIDEO LEVEL Control/CONTROL PANEL

Step 2. VIDEO LEVEL CONT. Presetting
VIDEO LEVEL Control (◎ RV3)/PR-36,
　　Center lead = 0 Vdc



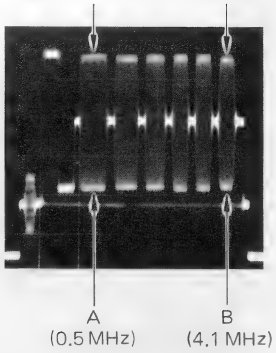
Step 3. Set up Level Calibration
TP3/PR-36, Set up level = 0 ± 10 mVdc
　　◎SET UP LEVEL Control (RV2)/PR-36

Step 4. Video Level Preset Adjustment
TP3/PR-36, Video level = 0.50 ± 0.01 Vp-p
　　◎RV7/PR-36

7-2-2. ビデオアンプ周波数特性調整

接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　MULTIBURST

調整



Level A = Level B
◐ RV11/PR-36

注意；
調整後，7-2-4項の調整を必ずすること。

7-2-2. Video Amp. Frequency Response Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　MULTIBURST

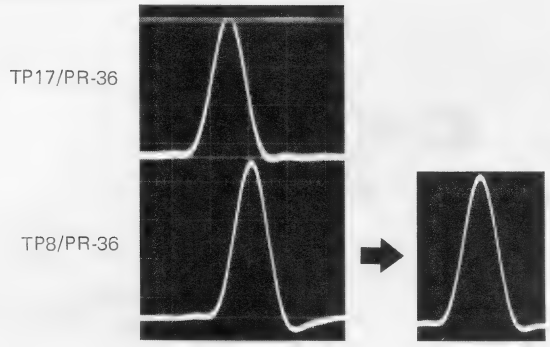
Adjustment

Note;
After this adjustment, the adjustment 7-2-4 should be performed.

7-2-3. ディレーライン周波数特性調整

接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　PULSE & BAR (パルス幅=2T)

調整



TP8の波形がTP17の波形と同じになるように◐RV10/PR-36を調整する。

注意；
調整後，7-2-4項の調整を必ずすること。

7-2-3. Delay Line Frequency Response Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　PULSE & BAR (Pulse Width = 2T)

Adjustment

Adjust ◐RV10/PR-36 so that the waveform at TP8 is the same as one at TP17.

Note;
After this adjustment, the adjustment 7-2-4 should be performed.

7-2-4. クロマレベルプリセット調整

接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　MULTIBURST

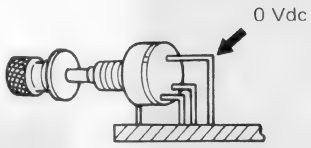
Step1.
CHROMA LEVEL Control(◐RV1)/PR-36,
　　センターリード=0 Vdc

Step2.
0.1～4.1 MHzの周波数応答がフラットになるように
◐RV13/PR-36を調整する。

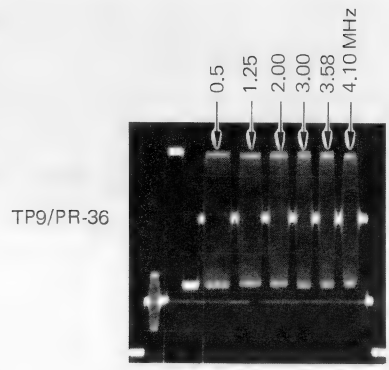
7-2-4. Chroma Level Preset Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　MULTIBURST

Step 1.
CHROMA LEVEL Control (◐RV1)/PR-36,
　　Center lead = 0 Vdc



Step 2.
Adjust ◐ RV13/PR-36 so that the 0.1 to 4.1 MHz frequency response is flat.



7-2-5. セットアップレベルプリセット調整

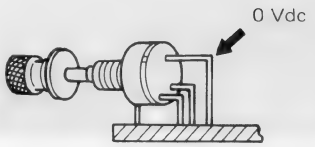
接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　バースト付ビデオ信号

Step1.
SET UP LEVEL Control(◐RV2)/PR-36,
　　センターリード=0Vdc

7-2-5. Set up Level Preset Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　Any Signal with Burst

Step 1.
SET UP LEVEL Control (◐ RV2)/PR-36,
　　Center lead = 0 Vdc



Step2.
TP-3/PR-36，セットアップレベル=0 ± 2mVdc
　　◐ RV9/PR-36

Step 2.
TP3/PR-36, Set up level = 0 ± 2 mVdc
　　◐ RV9/PR-36

7-2-6. ダーククリップレベル調整

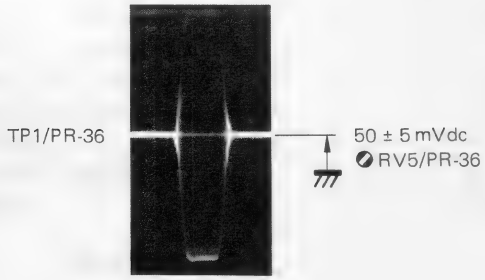
接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　バースト付ビデオ信号

調整

7-2-6. Dark Clip Level Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　Any Signal with Burst

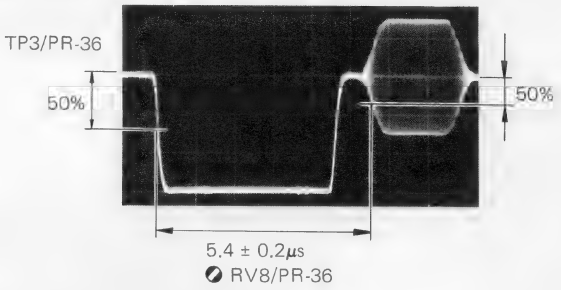
Adjustment



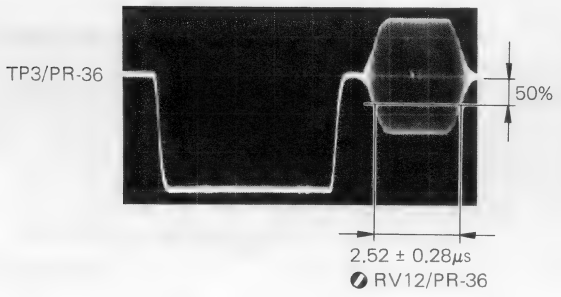
7-2-7. バースト信号位置/幅調整

接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　バースト付ビデオ信号

Step1. 位置調整



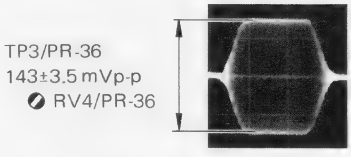
Step2. 幅調整



7-2-8. バースト信号レベル調整

接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　バースト付ビデオ信号

調整



7-2-7. Burst Position and Width Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　Any Signal with Burst

Step 1. Burst Position Adjustment

Step 2. Burst Width Adjustment

7-2-8. Burst Level Adjustment

Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　Any Signal with Burst

Adjustment

7-2-9. SYNCレベル調整

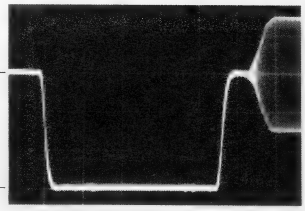
接　続；　　5-3項，接続2参照。
測定器；　　オシロスコープ
VTRのモード；STOP(Auto E-E)
スイッチ，ボリウムのセッティング；
　　5-5項と同様。
入力信号(VIDEO IN)；
　　バースト付ビデオ信号

調整

7-2-9. Sync Level Adjustment

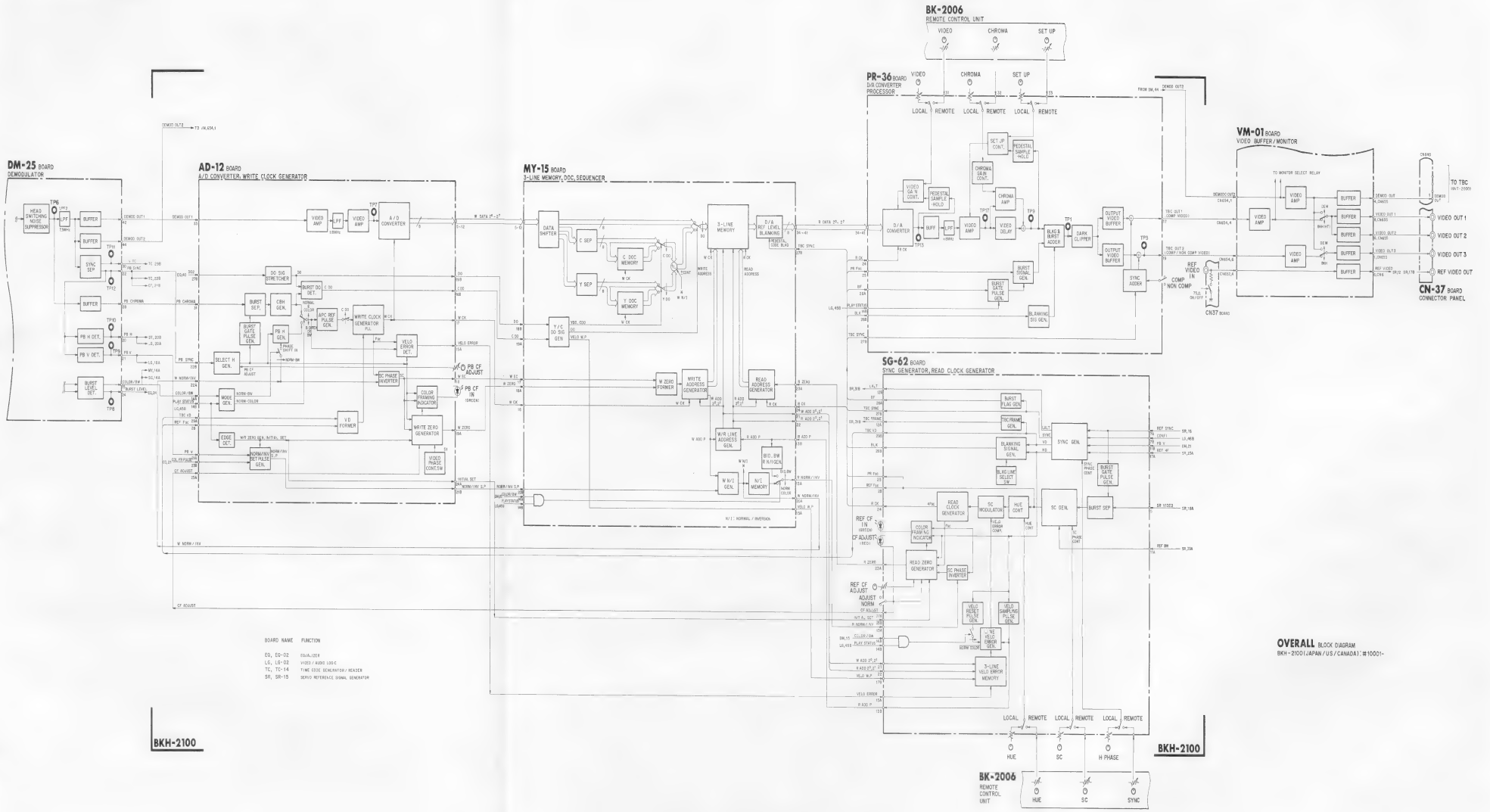
Connection;　See section 5-3 connection 2.
Equipment;　Oscilloscope
Mode of VTR;　STOP (Auto E-E)
Switch & Control Setting;
　　The Same as the Initial Setting
Input Signal (VIDEO IN);
　　Any Signal with Burst

Adjustment



SECTION A
BLOCK DIAGRAM

OVERALL BLOCK DIAGRAM



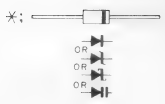
BOARD NAME FUNCTION

EQ, EQ-02 EQUALIZER
LG, LG-02 VIDEO / AUDIO LOG-C
TC, TC-14 TIME CODE GENERATOR / READER
SR, SR-15 SERVO REFERENCE SIGNAL GENERATOR

OVERALL BLOCK DIAGRAM
BKH-2100 (JAPAN / US / CANADA) : #10001-

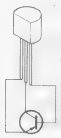
SECTION B
SEMICONDUCTOR PIN ASSIGNMENTS

TYPE	PAGE
1N4148H	*
1S1555	*
1S1585	*
1S1587	*
1S2076	*
1S2473	*
1S2687S-2	*
1SS119	*
1SS120	*
1SS133	*
1SS148	*
1SZ51	*
1SZ52	*
RD3.0E	*
RD3.9E	*
RD5.1E-B	*
RD6.2E	*
RD7.5E	*
RD8.2E	*
SEL2110R	B-2
SEL2310G	B-2
TLG124	B-2
TLG124A	B-2
TLR124	B-2
US1035	*
2SA530H	B-2
2SA711	B-2
2SA733	B-2
2SA844	B-2
2SA995	B-2
2SA1015	B-2
2SA1026	B-2
2SA1027R	B-2
2SA1048	B-2
2SA1115	B-2
2SA1175	B-2
2SA1206	B-2
2SC403C	B-2
2SC403SP	B-2
2SC689H	B-2
2SC1252	B-2
2SC1583	B-2
2SC2724	B-2
2SK43	B-2
2SK153	B-2
BX365A	B-2
BX366A	B-2
BX381	B-2
CA3102E	B-2
CX773A	B-4
CX773A-1	B-4
CX7903	B-3
CX20016	B-3
CX20016A	B-3
CX20016A-2	B-3
CX20051	B-5
CX20051A	B-5
DAC08HQ	B-5
HD10102	B-6
HD10116	B-6
HD10124	B-6
HD10125	B-6
HD75451AP	B-12
HI1-200-5	B-6
HI1-201	B-6
HM6148HP-45	B-6
MB7051	B-14
MB7051-WADD	B-14
MB7128E	B-14
MB7128E-VIDH	B-16
MB7128E-VIDL	B-16
MB7128E-YCM1	B-15
MB8149-45	B-6
MBM2149L-55	B-6
MC1595L	B-7
MC10115L	B-6
MC10116L	B-6
MC10124L	B-6
MC10125L	B-6
N8273N	B-7
NE527H	B-7
SL541B-CM	B-7
SL541C-CM	B-7
SN7400N	B-7
SN74LS00N	B-7
SN74S00N	B-7
SN74LS02N	B-7
SN7404N	B-7
SN74LS04N	B-7
SN74S04N	B-7
SN7408N	B-7
SN74LS08N	B-7
SN74LS10N	B-7
SN74S10N	B-7
SN74LS11N	B-8
SN74LS21N	B-8
SN74S30N	B-8
SN74ALS32N	B-8
SN74LS32N	B-8
SN74LS51N	B-8
SN7474N	B-8
SN74LS74AN	B-8
SN74S74N	B-8
SN7486N	B-8
SN74LS86N	B-8
SN74S86N	B-8
SN74LS112AN	B-8
SN74S112N	B-8
SN74LS123N	B-8
SN74S133N	B-9
SN74LS139N	B-9
SN74S139N	B-9
SN74LS151N	B-9
SN74LS153N	B-9
SN74157N	B-9
SN74LS157N	B-9
SN74161N	B-9
SN74LS161AN	B-9
SN74163N	B-10
SN74LS163AN	B-10
SN74S163N	B-10
SN74LS164N	B-10
SN74LS174N	B-10
SN74LS175N	B-10
SN74S182N	B-10
SN74191N	B-11
SN74LS191N	B-11
SN74LS221N	B-11
SN74265N	B-11
SN74LS273N	B-11
SN74LS283N	B-11
SN74365N	B-11
SN74LS374N	B-12
SN74S374N	B-12
SN74S381N	B-12
SN74393N	B-12
SN74LS393N	B-12
SN74LS399N	B-12
SN74LS670N	B-12
SN75451BP	B-12
TL082CP	B-13
TL084CN	B-13
TL601CP	B-13
TL607CP	B-13
TL610CP	B-13
TL820CN	B-13
UA711DC	B-13
UPC14305H	B-13
UPC324C	B-13
UPC4082C	B-13
UPC4557C	B-13
UPC78L05A	B-13



SEL2110R; RED
SEL2310G; GREEN
TLG124; GREEN
TLG124A; GREEN
TLR124; RED

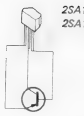
BOTTOM VIEW 2SA530H
2SA711



2SA733
2SA844
2SA1015
2SA1206

2SA995

2SA1026
2SA1027
2SA1027R



2SA1048
2SA1115

TYPE NO. IMPRINTED

2SA1175

2SC403C

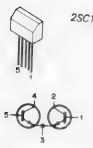
2SC403SP
2SC2724

BOTTOM VIEW

2SC689H

BOTTOM VIEW

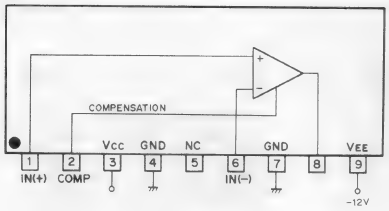
2SC1252



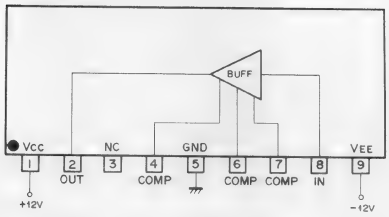
2SC1583

2SK43
2SK152

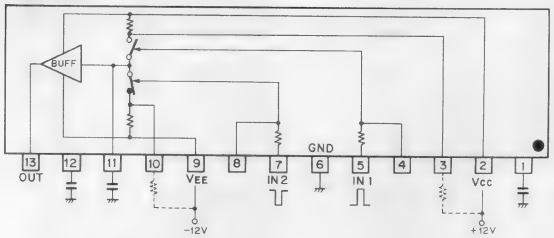
BX365A(SONY)
VIDEO AMPLIFIER
-SIDE VIEW-

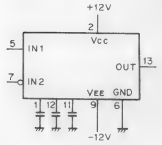


BX366A (SONY)
VIDEO BUFFER
—SIDE VIEW—

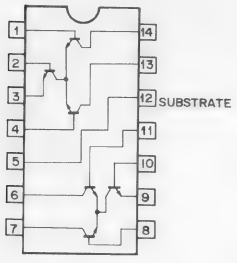


BX381 (SONY)
PHASE COMPARATOR
-SIDE VIEW-





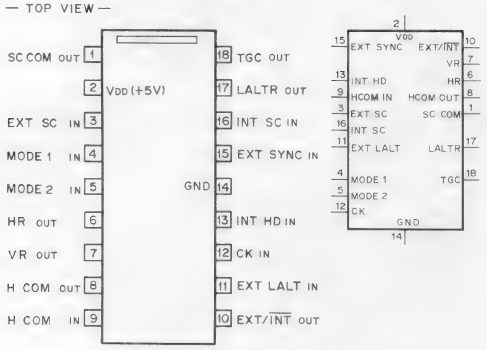
CA3102E(RCA)
HIGH FREQ.DIFFERENTIAL AMPLIFIER
—TOP VIEW—



CX7903 (SONY)

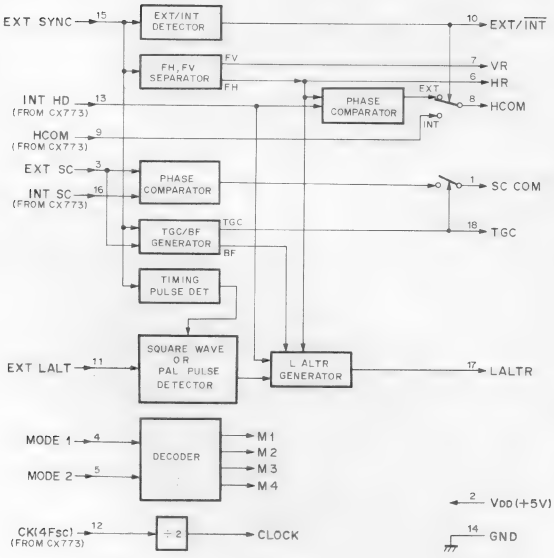
CMOS GENLOCK DRIVER FOR CX773

— TOP VIEW —



INPUTS		EXT LOCK MODE	
MODE 2	MODE 1		
0	0	M1	PAL: VBS
0	1	M2	PALM: VBS
1	0	M3	PAL : VS/SC/LALT
			SECAM: VS/SC/LALT
1	1	M4	NTSC: VBS
			NTSC: VS/SC
			PALM: VS/SC/LALT

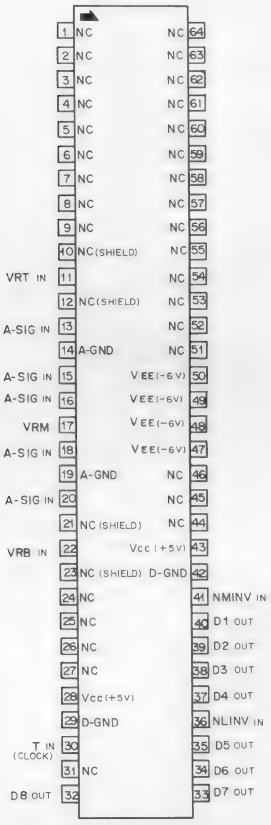
0 ; LOW LEVEL
1 ; HIGH LEVEL

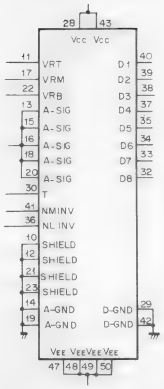


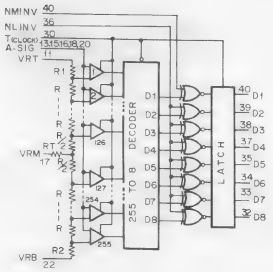
CX20016 (SONY)
CX20016A (SONY)
CX20016A-2 (SONY)
TDC1007J (TRW)

BIPOLAR/TTL 8-BIT VIDEO A/D CONVERTER

— TOP VIEW —



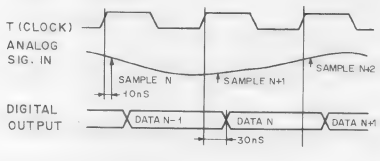




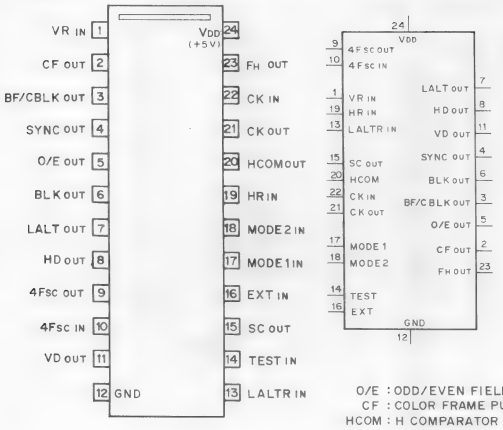
OUTPUT CODING

STEP	RANGE EX. 2.000 V FULL SCALE	OUTPUTS NMINV = 1 NLINV = 1	0 0	0 1	1 0
000	0.0000 V	00 00 00 00	11 11 11 11	10 000000	01 11 11 11
001	-0.0078 V	00000001	11111110	10000001	01111110
⋮	⋮	⋮	⋮	⋮	⋮
127	-0.9961 V	01111111	10000000	11 11 11 11	0000 0000
128	-1.0039 V	10000000	01 11 11 11	00 000000	11 11 1111
129	-1.0118	10000001	01111110	00000001	11 11 1110
⋮	⋮	⋮	⋮	⋮	⋮
255	-2.0000 V	11 11 11 11	00000000	01 11 11 11	10 000000

TIMING DIAGRAM



CX773A (SONY)
CX773A-1 (SONY)
C-MOS SYNC GENERATOR (NTSC, PAL-M, PAL, SECAM)
— TOP VIEW —



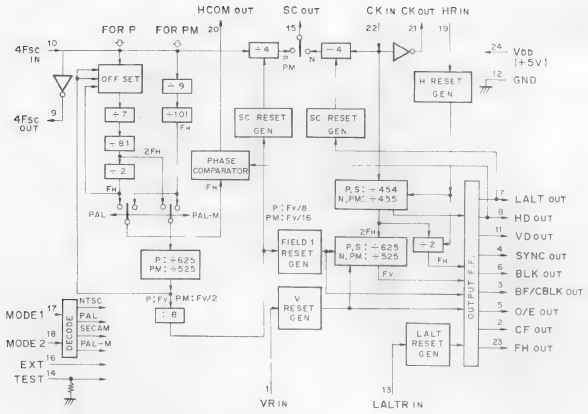
SYSTEM	4Fsc	CLOCK
NTSC	910 FH	910FH
PAL	1135FH+2Fv	908FH
PALM	909FH	910FH
SECAM	———	908FH

INPUTS		SYSTEM
MODE 1	MODE 2	
0	0	NTSC
0	1	SECAM
1	0	PALM
1	1	PAL

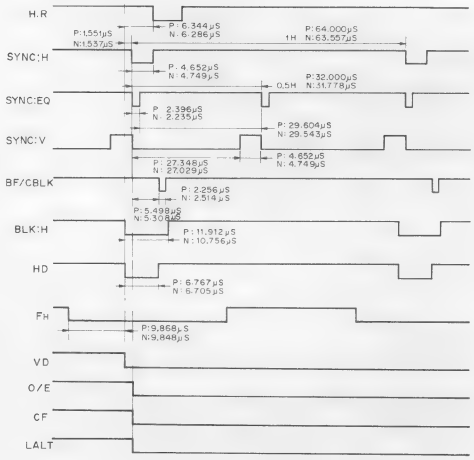
INPUTS		FUNCTION
EXT	TEST	
0	0	INTERNAL
0	1	INVALID
1	0	EXT
1	1	TEST

0 ; LOW LEVEL (GND)
1 ; HIGH LEVEL (VDD)

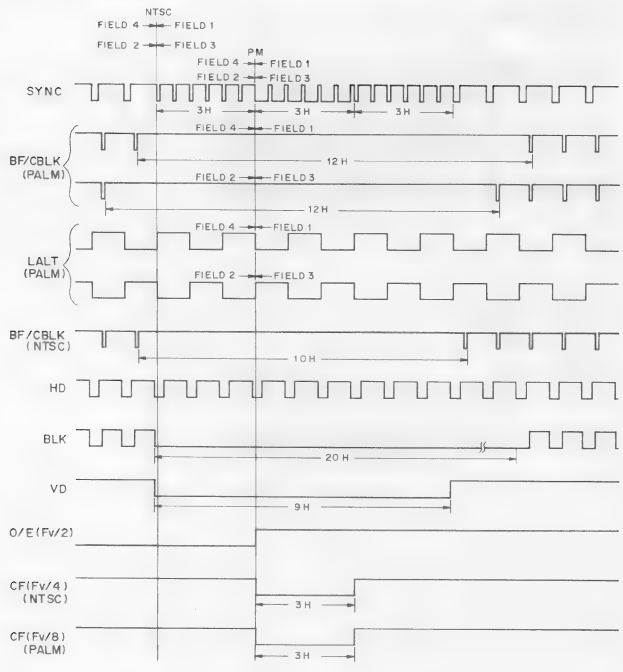
TEST "0": OPEN
(INTERNALLY PULLED DOWN)



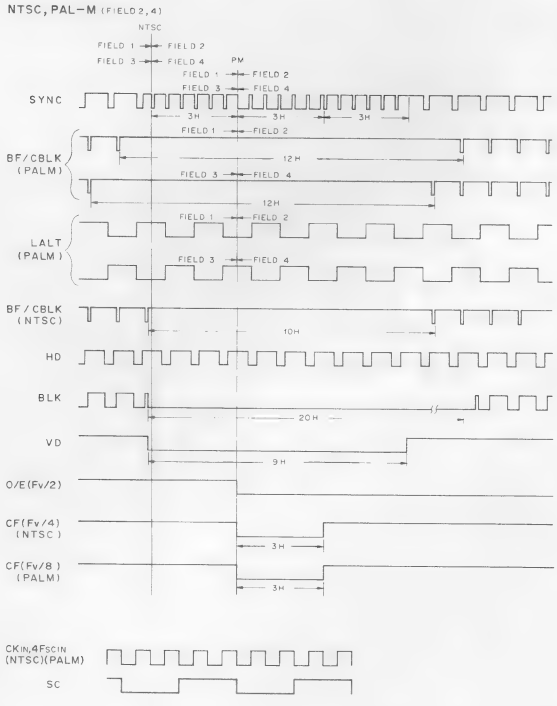
P: PAL, SECAM
N: NTSC, PALM



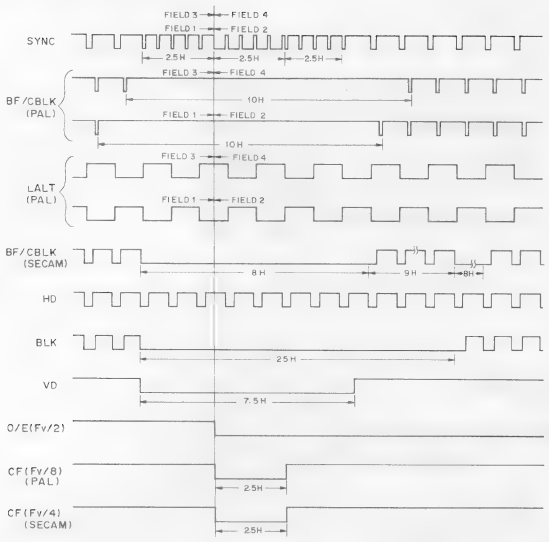
NTSC, PAL-M (FIELD 1,3)



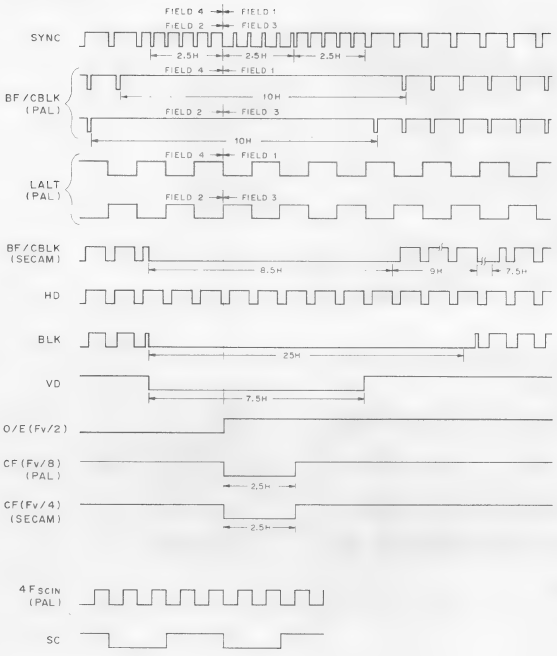
NTSC, PAL-M (FIELD 2,4)



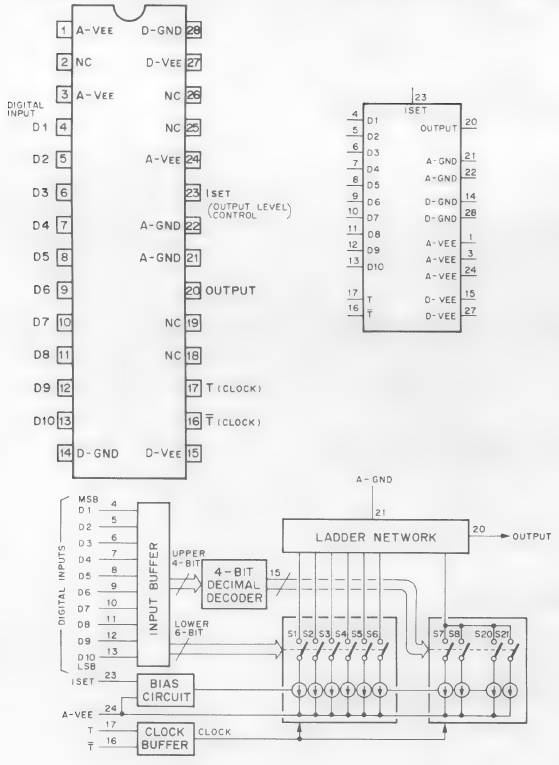
PAL, SECAM (FIELD 4,2)



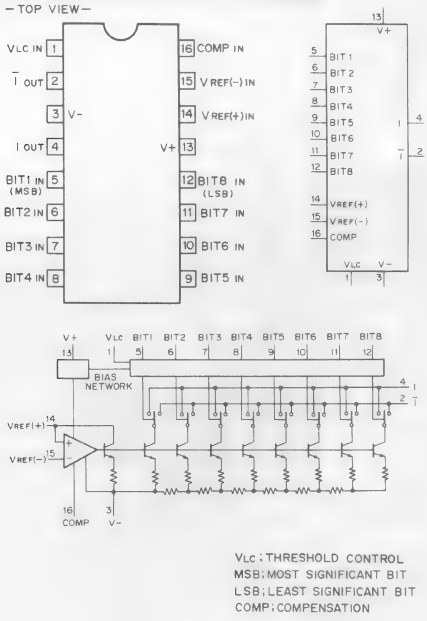
PAL, SECAM (FIELD 1,3)



CX20051 (SONY)
CX20051A(SONY)
10-BIT D/A CONVERTER (ECL INPUT)
-TOP VIEW-



DAC08HQ (PMI)
8-BIT HIGH SPEED MULTIPLYING D/A CONVERTER
-TOP VIEW-

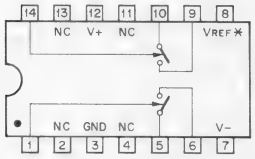


VLC : THRESHOLD CONTROL
MSB : MOST SIGNIFICANT BIT
LSB : LEAST SIGNIFICANT BIT
COMP : COMPENSATION

HI1-200-5 (HARRIS)

C-MOS ANALOG SWITCH

— TOP VIEW —



CONT IN	SW
0	
1	

0: LOW LEVEL
1: HIGH LEVEL

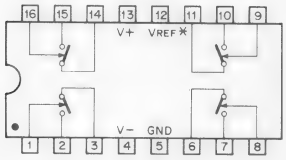
* NOTE

INTERFACE	VREF CONNECTION
TTL	OPEN
C-MOS	VDD ≦ 5.5V : OPEN
	VDD > 5.5V : TO VDD

HI1-201 (HARRIS)

C-MOS ANALOG SWITCH

— TOP VIEW —



CONT IN	SW
0	
1	

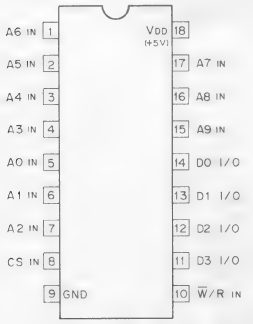
0 ; LOW LEVEL
1 ; HIGH LEVEL

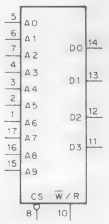
* NOTE

INTERFACE	VREF CONNECTION
TTL	OPEN
C-MOS	VDD ≦ 5.5V ; OPEN
	VDD > 5.5V ; TO VDD

HM6148HP-45 (HITACHI) C-MOS
MB8149-45 (FUJITSU) N-MOS
MB8149-55 (FUJITSU) N-MOS
MB8149-70 (FUJITSU) N-MOS
MB8149L-55 (FUJITSU) N-MOS
MB8149L-70 (FUJITSU) N-MOS
MBM2149L-55 (FUJITSU) N-MOS
MBM2149L-70 (FUJITSU) N-MOS
4096-BIT (1024x4) STATIC RAM WITH 3-STATE OUTPUT

— TOP VIEW —



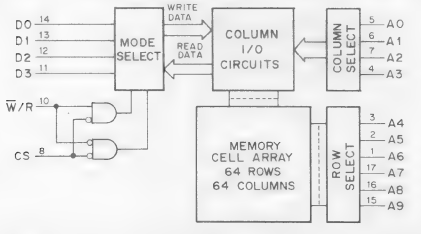


FUNCTION TABLE

CS	W/R	MODE	I/O
0	0	WRITE	INPUT
0	1	READ	OUTPUT
1	X	INHIBIT	HIGH Z

A0 — A9 ; ADDRESS INPUTS
CS ; CHIP SELECT INPUT
DO — D3 ; DATA INPUT/OUTPUT (3-STATE)
W/R ; WRITE/READ ENABLE INPUT

0 ; LOW LEVEL
1 ; HIGH LEVEL
X ; DON'T CARE
HIGH Z ; HIGH IMPEDANCE

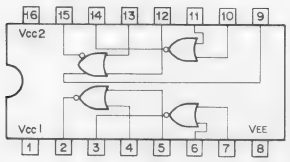


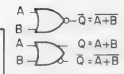
TYPE	-45	-55	-70	L-55	L-70	HP-45
ADDRESS ACCESS TIME (MAX)	45nS	55nS	70nS	55nS	70nS	45nS
CHIP SELECT ACCESS TIME (MAX)	20nS	25nS	30nS	25nS	30nS	45nS
Icc (MAX)	180mA	180mA	180mA	125mA	125mA	80mA

MC10102L (MOTOROLA)
HD10102 (HITACHI)

ECL 2-INPUT NOR GATE

—TOP VIEW—



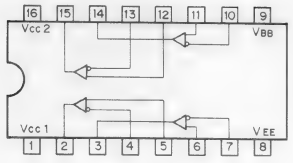


A	B	Q	Q̄
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

MC10115L (MOTOROLA)

ECL LINE RECEIVER

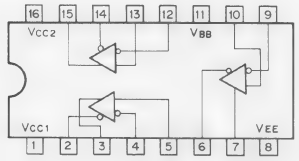
—TOP VIEW—



MC10116L (MOTOROLA)
HD10116 (HITACHI)

ECL DIFFERENTIAL OR/NOR LINE RECEIVER

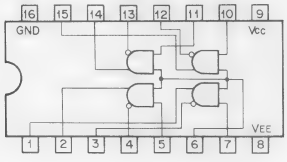
—TOP VIEW—



MC10124L (MOTOROLA)
HD10124 (HITACHI)

ECL TTL-TO-ECL TRANSLATOR

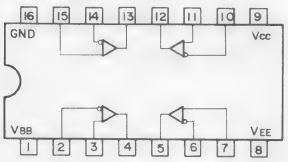
—TOP VIEW—



MC10125L (MOTOROLA)
HD10125 (HITACHI)

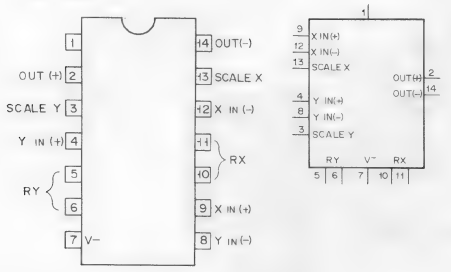
ECL ECL-TO-TTL TRANSLATOR

—TOP VIEW—

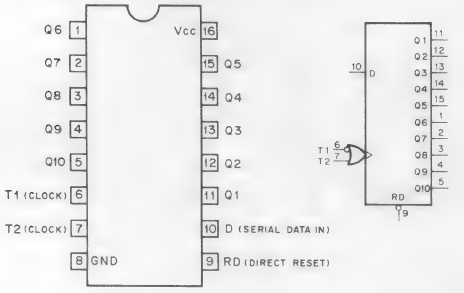


MC1595L (MOTOROLA)
LINEAR MULTIPLIER

—TOP VIEW—

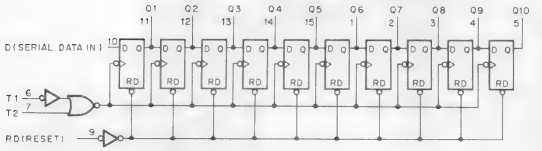


N8273N (SIGNETICS)
TTL 10-BIT PARALLEL OUT SERIAL SHIFT REGISTER
—TOP VIEW—



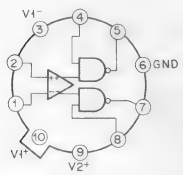
INPUTS				OUTPUTS			
RD	T1	T2	D	Q1	Q2	---	Q10
0	X	X	X	0	0	0	0
1	0	X	X	$Q1_0$	$Q2_0$	---	$Q10_0$
1	X	1	X	$Q1_0$	$Q2_0$	---	$Q10_0$
1	↑	0	1	1	$Q1_n$	---	$Q9_n$
1	↑	0	0	0	$Q1_n$	---	$Q9_n$
1	1	↓	1	1	$Q1_n$	---	$Q9_n$
1	1	↓	0	0	$Q1_n$	---	$Q9_n$

0:LOW LEVEL
1:HIGH LEVEL
X:DON'T CARE.



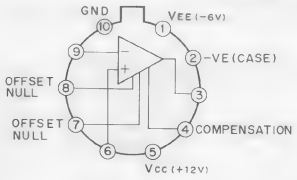
NE527H(SIGNETICS)
VOLTAGE COMPARATOR

—BOTTOM VIEW—

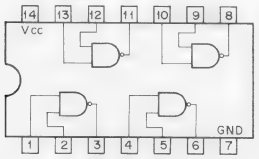


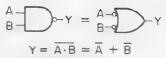
SL541B-CM (PLESSEY)
SL541C-CM (PLESSEY)
OPERATIONAL AMPLIFIER
(HIGH SPEED VIDEO, WIDEBAND)
— BOTTOM VIEW —

SL541C-CM



SN7400N (TI)
M53200P (MITSUBISHI)
SN74S00N (TI)
SN74LS00N (TI)
HD74LS00P (HITACHI)
SN74ALS00N (TI)
TTL NAND GATE
—TOP VIEW—



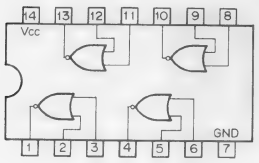


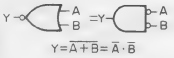
$Y = \overline{A \cdot B} = \overline{A} + \overline{B}$

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

0:LOW LEVEL
1:HIGH LEVEL

SN7402N (TI)
M53202P (MITSUBISHI)
SN74S02N (TI)
SN74LS02N (TI)
HD74LS02P (HITACHI)
TTL 2-INPUT POSITIVE-NOR GATE
—TOP VIEW—



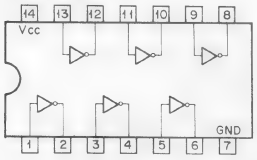


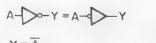
$Y = \overline{A + B} = \overline{A} \cdot \overline{B}$

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

0:LOW LEVEL
1:HIGH LEVEL

SN7404N (TI)
M53204P (MITSUBISHI)
SN74L04N (TI)
SN74S04N (TI)
SN74LS04N (TI)
HD74LS04P (HITACHI)
TTL INVERTER
—TOP VIEW—



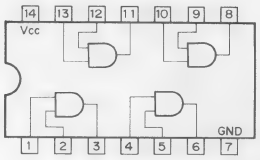


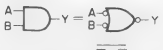
$Y = \overline{A}$

A	Y
0	1
1	0

0:LOW LEVEL
1:HIGH LEVEL

SN7408N (TI)
SN74S08N (TI)
SN74LS08N (TI)
HD74LS08P (HITACHI)
TTL 2-INPUT POSITIVE-AND GATE
—TOP VIEW—



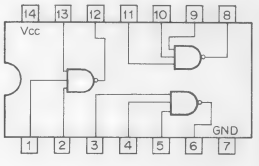


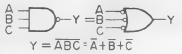
$Y = A \cdot B = \overline{\overline{A} + \overline{B}}$

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

0:LOW LEVEL
1:HIGH LEVEL

SN7410N (TI)
SN74L10N (TI)
SN74S10N (TI)
SN74LS10N (TI)
HD74LS10P (HITACHI)
TTL 3-INPUT POSITIVE NAND GATE
—TOP VIEW—



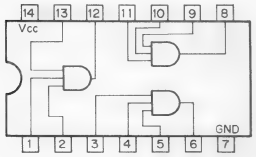


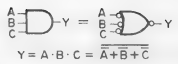
$Y = \overline{ABC} = \overline{A} + \overline{B} + \overline{C}$

A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

0 : LOW LEVEL
1 : HIGH LEVEL

SN74H11N (TI)
SN74S11N (TI)
SN74LS11N (TI)
TTL 3-INPUT POSITIVE-AND GATE
—TOP VIEW—

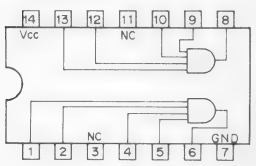


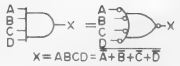


A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

0;LOW LEVEL
1;HIGH LEVEL

SN74H21N (TI)
SN74LS21N (TI)
TTL 4-INPUT POSITIVE AND GATE
—TOP VIEW—

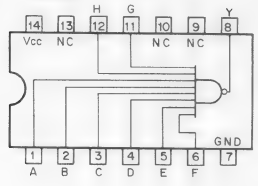




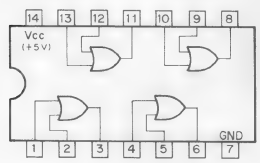
A	B	C	D	X
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
:	:	:	:	:
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

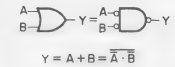
0;LOW LEVEL
1;HIGH LEVEL

SN7430N (TI)
SN74S30N (TI)
SN74LS30N (TI)
HD74LS30P (HITACHI)
TTL 8-INPUT NAND GATE
—TOP VIEW—



HD74LS32P (HITACHI)
M74LS32P (MITSUBISHI)
MB74LS32 (FUJITSU)
SN7432N (TI)
SN74ALS32N (TI)
SN74LS32N (TI)
SN74S32N (TI)
TTL 2-INPUT POSITIVE-OR GATE
— TOP VIEW —

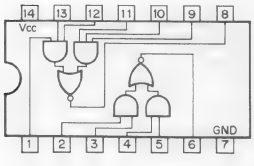


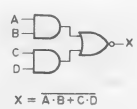


A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

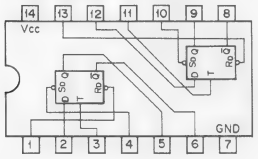
0;LOW LEVEL
1;HIGH LEVEL

SN74LS51N (TI), SN74L51N (TI)
TTL 2-WIDE 2-INPUT / 3-INPUT AND-OR-INVERT GATE
—TOP VIEW—





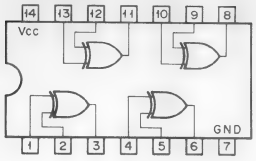
SN7474N (TI)
M53274P (MITSUBISHI)
SN74H74N (TI)
SN74L74N (TI)
SN74S74N (TI)
SN74LS74AN (TI)
HD74LS74P (HITACHI)
TTL D-TYPE FLIP FLOP WITH DIRECT SET/RESET
—TOP VIEW—



INPUTS				OUTPUTS	
$\overline{Sd}$	$\overline{Rd}$	T	D	Qn+1	$\overline{Qn+1}$
0	1	X	X	1	0
1	0	X	X	0	1
0	0	X	X	1*	1*
1	1	↑	1	1	0
1	1	↑	0	0	1
1	1	0	X	Qn	$\overline{Qn}$

0;LOW LEVEL
1;HIGH LEVEL
X;DON'T CARE
1*;NONSTABLE

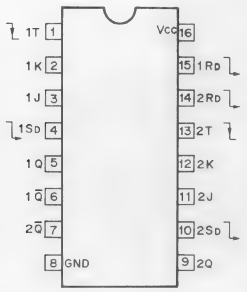
SN7486N (TI)
SN74S86N (TI)
SN74LS86N (TI)
HD74LS86P (HITACHI)
TTL EXCLUSIVE OR GATE
— TOP VIEW —

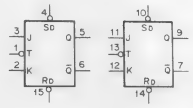


A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

0;LOW LEVEL
1;HIGH LEVEL

SN74S112N (TI)
SN74LS112AN (TI)
TTL J-K FLIP-FLOP WITH DIRECT SET/RESET
—TOP VIEW—

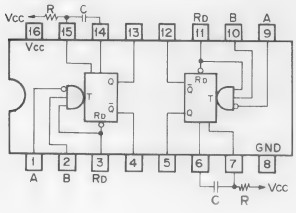




INPUTS					OUTPUTS	
SD	RD	T	J	K	Qn+1	$\overline{Qn+1}$
0	1	X	X	X	1	0
1	0	X	X	X	0	1
0	0	X	X	X	1*	1*
1	1	↓	0	0	Qn	$\overline{Qn}$
			0	1	0	1
			1	0	1	0
			1	1	$\overline{Qn}$	Qn
1	1	↑	X	X	Qn	$\overline{Qn}$

0;LOW LEVEL X;DON'T CARE
1;HIGH LEVEL *;NONSTABLE

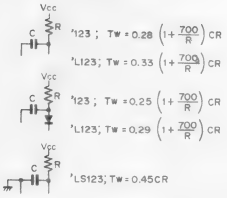
SN74123N (TI)
SN74L123N (TI)
SN74LS123N (TI)
SN74LS123NS(TI)
HD74LS123P (HITACHI)
TTL RETRIGGERABLE MONOSTABLE MULTIVIBRATOR WITH DIRECT RESET
—TOP VIEW—



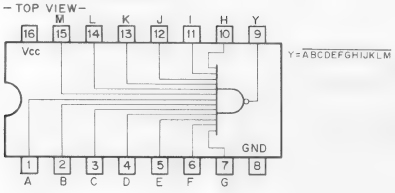
INPUTS			OUTPUTS	
RD	A	B	Q	$\overline{Q}$
0	X	X	0	1
X	1	X	0	1
X	X	0	0	1
1	0	↑	⎍	⎍
1	↓	1	⎍	⎍
↑	0	1	⎍	⎍

0;LOW LEVEL
1;HIGH LEVEL
X;DON'T CARE

OUTPUT PULSE WIDTH

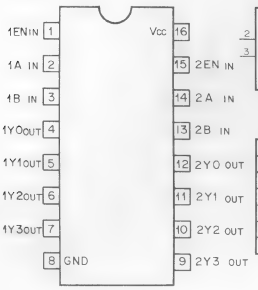


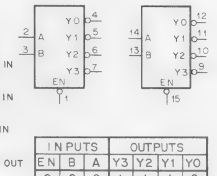
SN74S133N (TI)
TTL 13-INPUT NAND GATE
— TOP VIEW —



SN74S139N (TI)
SN74LS139N (TI)
TTL 2-TO-4-LINE DECODER/DEMULTIPLXER

—TOP VIEW—

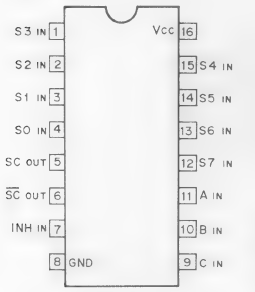


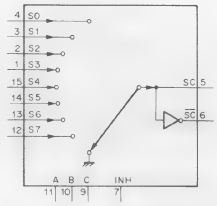


INPUTS			OUTPUTS			
EN	B	A	Y3	Y2	Y1	YO
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1
1	X	X	1	1	1	1

O ; LOW LEVEL
1 ; HIGH LEVEL
X ; DON'T CARE

SN74151AN (TI)
SN74S151N (TI)
SN74LS151N (TI)
TTL 8-LINE-TO-1-LINE DATA SELECTOR/MULTIPLEXER
— TOP VIEW —

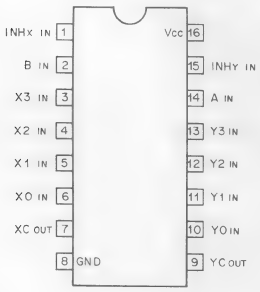


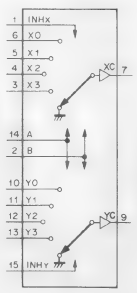


CONTROL INPUTS				ON CHANNEL
INH	C	B	A	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	X	X	X	GND

O ; LOW LEVEL
1 ; HIGH LEVEL
X ; DON'T CARE

SN74153N (TI)
SN74L153N (TI)
SN74S153N (TI)
SN74LS153N (TI)
HD74LS153P (HITACHI)
TTL 4-LINE-TO-1-LINE DATA SELECTOR/MULTIPLEXER
— TOP VIEW —

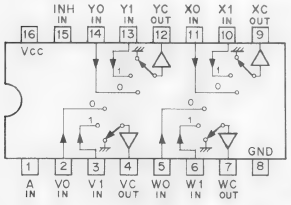


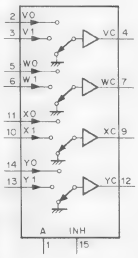


CONTROL IN			ON CHANNEL
INH	B	A	
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	X	X	GND

O ; LOW LEVEL
1 ; HIGH LEVEL
X ; DON'T CARE

SN74157N (TI)
SN74L157N (TI)
SN74S157N (TI)
SN74LS157N (TI)
HD74LS157P (HITACHI)
MB74LS157 (FUJITSU)
M74LS157P (MITSUBISHI)
TTL 2-LINE-TO-1-LINE DATA SELECTOR/MULTIPLEXER
— TOP VIEW —

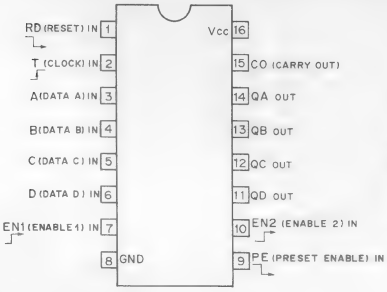


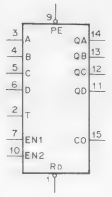


CONT. IN		ON CHANNEL
INH	A	
0	0	0
0	1	1
1	X	GND

O ; LOW LEVEL
1 ; HIGH LEVEL
X ; DON'T CARE

SN74161N (TI)
SN74LS161AN (TI)
HD74LS161P (HITACHI)
TTL PRESETTABLE SYNCHRONOUS 4-BIT BINARY COUNTER
— TOP VIEW —





MODE SELECTION

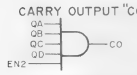
CONTROL INPUTS				MODE
RD	PE	EN1	EN2	
0	X	X	X	RESET (ASYNCHRONOUS)
1	0	X	X	PRESET (SYNCHRONOUS)
1	1	0	X	NO COUNT
1	1	X	0	NO COUNT
1	1	1	1	COUNT

O ; LOW LEVEL
1 ; HIGH LEVEL
X ; DON'T CARE

COUNT SEQUENCE

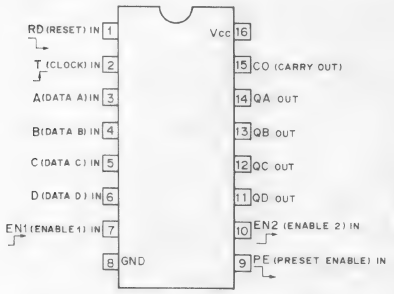
COUNT	OUTPUTS			
	QD	QC	QB	QA
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

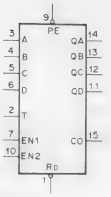
CARRY OUTPUT "CO"



CO IS HIGH WHEN EN2 INPUT IS HIGH AND COUNT IS "15".

SN74163N (TI)
SN74S163N (TI)
SN74LS163AN (TI)
HD74LS163P (HITACHI)
TTL PRESETTABLE SYNCHRONOUS 4-BIT BINARY COUNTER
– TOP VIEW –





MODE SELECTION

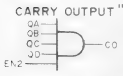
CONTROL INPUTS				MODE
RD	PE	EN1	EN2	
0	X	X	X	RESET (SYNCHRONOUS)
1	0	X	X	PRESET (SYNCHRONOUS)
1	1	0	X	NO COUNT
1	1	X	0	NO COUNT
1	1	1	1	COUNT

0;LOW LEVEL
1;HIGH LEVEL
X;DON'T CARE

COUNT SEQUENCE

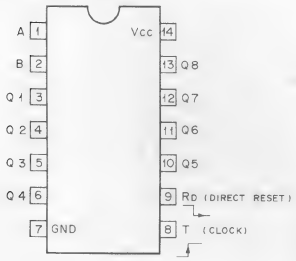
COUNT	OUTPUTS			
	QD	QC	QB	QA
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

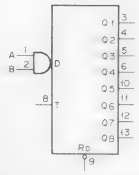
CARRY OUTPUT "CO"



CO IS HIGH WHEN EN2 INPUT IS HIGH AND COUNT IS "15".

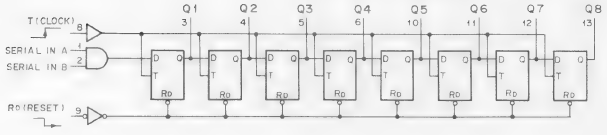
SN74164N (TI)
SN74L164N (TI)
SN74LS164N (TI)
HD74LS164P (HITACHI)
TTL 8-BIT PARALLEL-OUT SERIAL SHIFT REGISTER
—TOP VIEW—



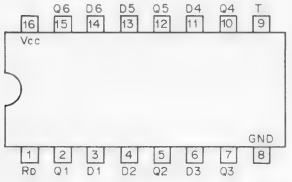


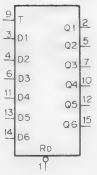
INPUTS				OUTPUTS			
RD	T	A	B	Q1	Q2		Q8
0	X	X	X	0	0	0	0
1	0	X	X	Q1o	Q2o	----	Q8o
1	↑	1	1	1	Q1n	----	Q7n
1	↑	0	X	0	Q1n	----	Q7n
1	↑	X	0	0	Q1n	----	Q7n

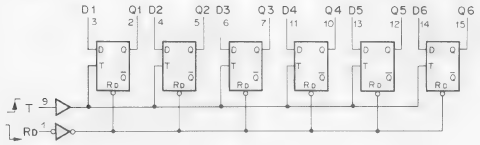
0;LOW LEVEL
1;HIGH LEVEL
X;DON'T CARE



SN74174N (TI)
SN74S174N (TI)
SN74LS174N (TI)
HD74LS174P (HITACHI)
MB74LS174 (FUJITSU)
M74LS174P (MITSUBISHI)
TTL D-TYPE FLIP-FLOP WITH DIRECT RESET
—TOP VIEW—





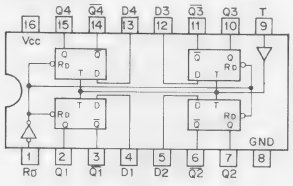


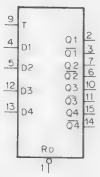
EACH FLIP-FLOP

INPUTS			OUT
RD	T	D	Q
0	X	X	0
1	↑	0	0
1	↑	1	1
1	0	X	Qo

0;LOW LEVEL
1;HIGH LEVEL
X;DON'T CARE

SN74175N (TI)
SN74S175N (TI)
SN74LS175N (TI)
HD74LS175P (HITACHI)
TTL D-TYPE FLIP-FLOP WITH CLEAR
—TOP VIEW—

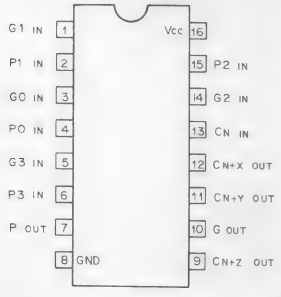


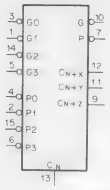


RD	T	D	Q	Q̄
0	X	X	0	1
1	↑	1	1	0
1	↑	0	0	1
1	0	X	Qo	Q̄o

0;LOW LEVEL
1;HIGH LEVEL
X;DON'T CARE

SN74182N (TI)
SN74S182N (TI)
TTL LOOK-AHEAD CARRY GENERATOR
—TOP VIEW—





FOR CN+X OUTPUT

GO	PO	CN	CN+X
0	X	X	1
X	0	1	1
OTHERS			0

FOR CN+Y OUTPUT

G1	GO	P1	PO	CN	CN+Y
0	X	X	X	X	1
X	0	0	X	X	1
X	X	0	0	1	1
OTHERS					0

FOR P OUTPUT

P3	P2	P1	PO	P
0	0	0	0	0
OTHERS				1

FOR G OUTPUT

G3	G2	G1	GO	P3	P2	P1	G
0	X	X	X	X	X	X	0
X	0	X	X	0	X	X	0
X	X	0	X	0	0	X	0
X	X	X	0	0	0	0	0
OTHER COMBINATIONS							1

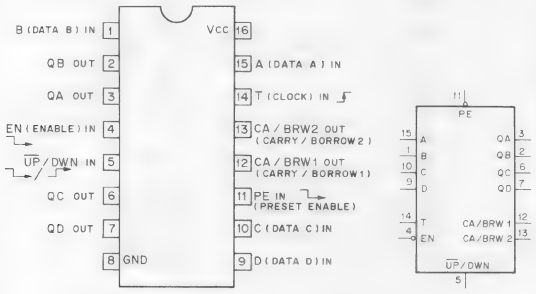
FOR CN+Z OUTPUT

G2	G1	GO	P2	P1	PO	CN	CN+Z
0	X	X	X	X	X	X	1
X	0	X	0	X	X	X	1
X	X	0	0	0	X	X	1
X	X	X	0	0	0	1	1
OTHER COMBINATIONS							0

SN74191N (TI)
SN74LS191N (TI)

TTL PRESETTABLE SYNCHRONOUS 4-BIT BINARY UP/DOWN COUNTER

— TOP VIEW —



MODE SELECTION

CONTROL INPUTS			MODE
PE	EN	UP/DWN	
0	X	X	PRESET (ASYNCHRONOUS)
1	1	X	NO COUNT
1	0	0	UP COUNT
1	0	1	DOWN COUNT

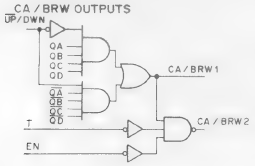
0 ; LOW LEVEL
1 ; HIGH LEVEL
X ; DON'T CARE.

COUNT SEQUENCE

COUNT	OUTPUTS			
	QD	QC	QB	QA
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

UP COUNT
DOWN COUNT

CA/BRW OUTPUTS



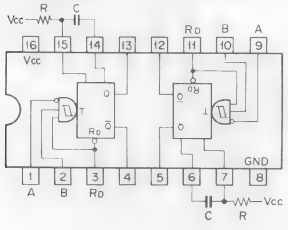
CA/BRW1 OUTPUT IS HIGH WHEN COUNT IS "15" AT UP-COUNT OR WHEN COUNT IS "0" AT DOWN COUNT.

CA/BRW2 OUTPUT IS LOW WHEN BOTH THE CLOCK AND EN INPUTS ARE LOW AND CA/BRW1 OUTPUT IS HIGH.

SN74221N (TI)
SN74LS221N (TI)
HD74LS221P (HITACHI)

TTL MONOSTABLE MULTIVIBRATOR WITH SCHMITT TRIGGER INPUT

— TOP VIEW —



INPUTS			OUTPUTS	
RD	A	B	Q	Q̄
0	X	X	0	1
X	1	X	0	1
X	X	0	0	1
1	0	↓	⊓	⊔
1	↓	1	⊓	⊔
↑	0	1	⊓	⊔

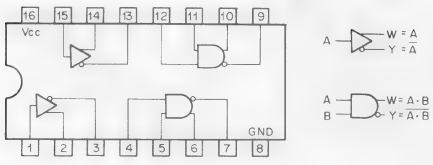
0 ; LOW LEVEL
1 ; HIGH LEVEL
X ; DON'T CARE

OUTPUT PULSE WIDTH = 0.7CR

SN74265N (TI)

TTL COMPLEMENTARY-OUTPUT ELEMENT

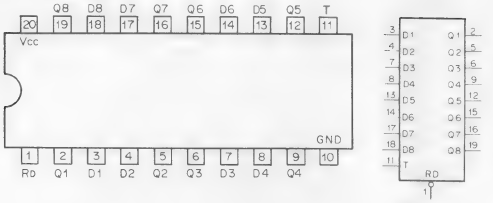
— TOP VIEW —



SN74273N (TI)
SN74LS273N (TI)
M74LS273P (MITSUBISHI)

TTL D-TYPE FLIP-FLOP WITH DIRECT RESET

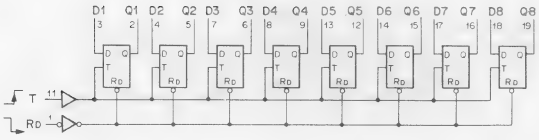
— TOP VIEW —



EACH FLIP-FLOP

INPUTS			OUT
RD	T	D	Q
0	X	X	0
1	↓	0	0
1	↓	1	1
1	0	X	Q0

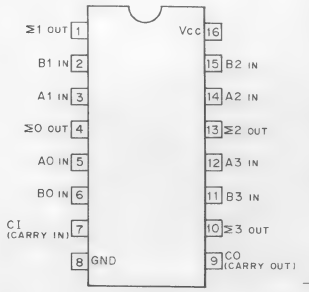
0 ; LOW LEVEL
1 ; HIGH LEVEL
X ; DON'T CARE

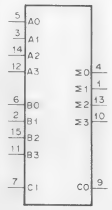


SN74283N (TI)
SN74S283N (TI)
SN74LS283N (TI) HD74LS283P (HITACHI)

TTL 4-BIT BINARY FULL ADDER

—TOP VIEW—





2^4	2^3	2^2	2^1	2^0	
				CI	CARRY IN
	A3	A2	A1	A0	DATA A IN
+	B3	B2	B1	B0	DATA B IN
CO	Σ3	Σ2	Σ1	Σ0	CARRY&SUM OUT

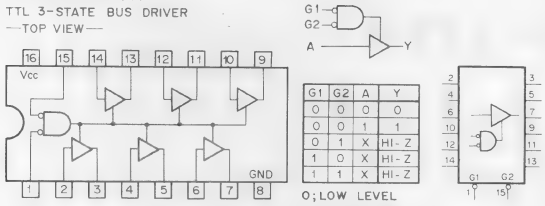
EX.

				1	CI
	1	0	1	1	A
+	1	0	1	0	B
1	0	1	1	0	OUTPUTS
CO	Σ3	Σ2	Σ1	Σ0	

SN74365AN (TI)
SN74LS365AN (TI)

TTL 3-STATE BUS DRIVER

—TOP VIEW—

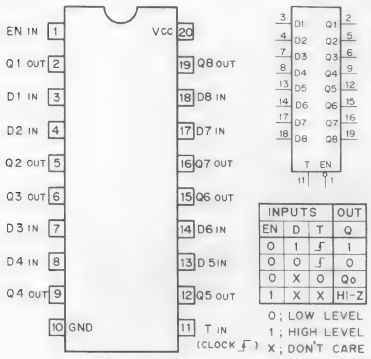


G1	G2	A	Y
0	0	0	0
0	0	1	1
0	1	X	HI-Z
1	0	X	HI-Z
1	1	X	HI-Z

0 ; LOW LEVEL
1 ; HIGH LEVEL
X ; DON'T CARE
HI-Z ; HIGH IMPEDANCE

SN74S374N (TI)
SN74LS374N (TI)
TTL 3-STATE OUTPUTS OCTAL D-TYPE FLIP-FLOP

– TOP VIEW –

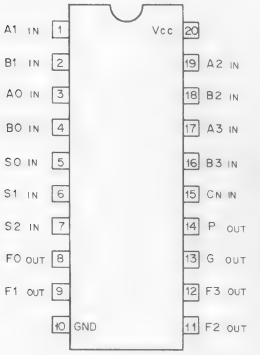


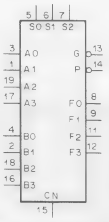
INPUTS			OUT
EN	D	T	Q
0	1	↓	1
0	0	↓	0
0	X	0	Q0
1	X	X	HI-Z

0 ; LOW LEVEL
1 ; HIGH LEVEL
X ; DON'T CARE
HI-Z ; HIGH IMPEDANCE

SN74S381N (TI)
TTL ARITHMETIC LOGIC UNIT/FUNCTION GENERATOR

—TOP VIEW—



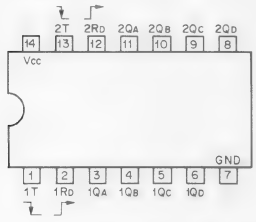


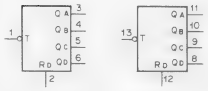
SELECTION			OPERATION
S2	S1	S0	
0	0	0	CLEAR
0	0	1	B MINUS A (SUBTRACTION)
0	1	0	A MINUS B (" ")
0	1	1	A PLUS B (ADDITION)
1	0	0	A⊕B (EXCLUSIVE OR)
1	0	1	A+B (OR)
1	1	0	AB (AND)
1	1	1	PRESET

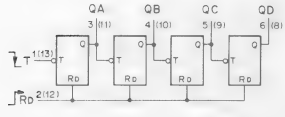
A ; WORD A INPUT
B ; WORD B INPUT
S ; FUNCTION-SELECT INPUT
C ; CARRY INPUT FOR ADDITION
INVERTED CARRY INPUT FOR SUBTRACTION
F ; FUNCTION OUTPUT
P ; INVERTED CARRY PROPAGATE OUTPUT
G ; INVERTED CARRY GENERATE OUTPUT

SN74393N (TI)
SN74LS393N (TI)
TTL 4-BIT BINARY COUNTER

— TOP VIEW —







RESET/COUNT FUNCTION

RD	QD	QC	QB	QA
1	0	0	0	0
0	COUNT			

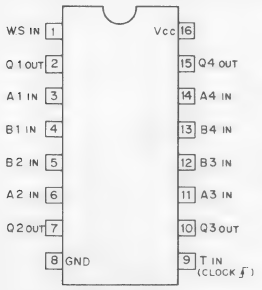
0 ; LOW LEVEL
1 ; HIGH LEVEL

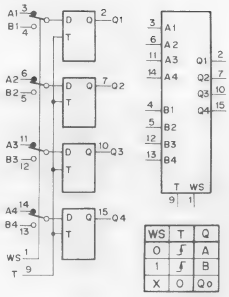
COUNT SEQUENCE

COUNT	QD	QC	QB	QA
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

SN74LS399N (TI)
TTL QUAD 2-INPUT MULTIPLEXER WITH STORAGE

– TOP VIEW –



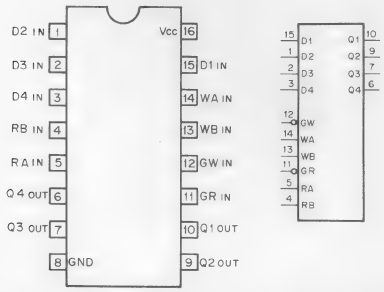


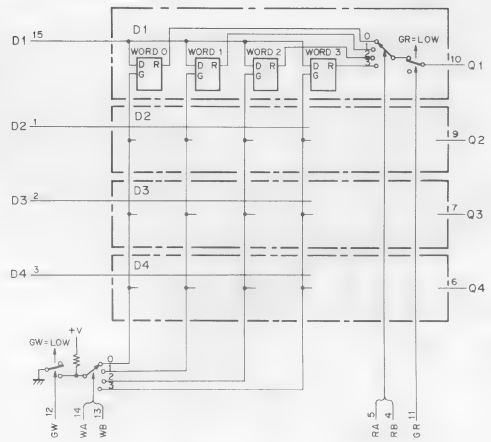
WS	T	Q
0	↓	A
1	↓	B
X	0	Q0

WS; WORD SELECT

SN74LS670N(TI)
TTL 4-BY-4 REGISTOR FILES WITH 3-STATE OUTPUT

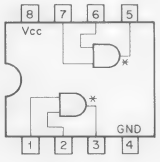
— TOP VIEW —

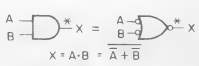




SN75451BP (TI)
HD75451AP (HITACHI)
TTL PERIPHERAL POSITIVE-AND DRIVER WITH OPEN-COLLECTOR

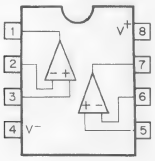
— TOP VIEW —



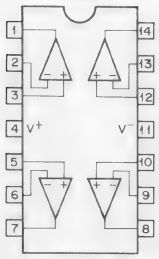


A	B	X
L	L	L
L	H	L
H	L	L
H	H	H

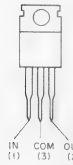
TL082CP (TI)
μPC4082C (NEC)
OPERATIONAL AMPLIFIER
(JFET-INPUT)
-TOP VIEW-



TL084CN (TI)
OPERATIONAL AMPLIFIER
(JFET-INPUT)
—TOP VIEW—

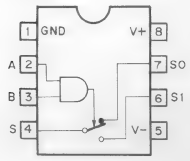


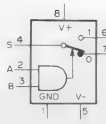
μA78□□UC (FSC)
FS78□□ (SANKEN)
μPC143□□H (NEC)
μPC78□□H (NEC)
POSITIVE VOLTAGE REGULATOR(1A)



5V	μA7805UC	FS7805	μPC14305H	μPC7805H
6V	μA7806UC			
8V	μA7808UC		μPC14308H	μPC7808H
8.5V	μA7885UC			
12V	μA7812UC	FS7812	μPC14312H	μPC7812H
15V	μA7815UC	FS7815	μPC14315H	μPC7815H
18V	μA7818UC		μPC14318H	μPC7818H
24V	μA7824UC	FS7824	μPC14324H	μPC7824H

TL601CP (TI)
P-MOS ANALOG SWITCH
-TOP VIEW-

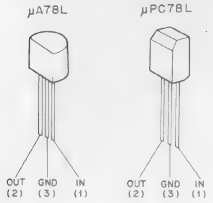




CONT IN		ON CHANNEL
A	B	
0	0	S0
0	1	S0
1	0	S0
1	1	S1

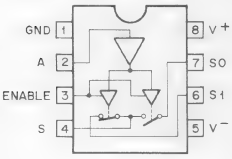
0; LOW LEVEL
1; HIGH LEVEL

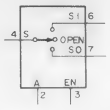
μA78L□□AWV (FSC)
μA78L□□ACL (TI)
μPC78L□□ (NEC)
μPC78L□□A (NEC)
POSITIVE VOLTAGE REGULATOR(100mA)



2.6V	μA78L26AWV	μA78L02ACL	
5V	μA78L05AWV	μA78L05ACL	μPC78L05(A)
6.2V	μA78L62AWV	μA78L06ACL	
8V		μA78L08ACL	μPC78L08
8.2V	μA78L82AWV		
9V	μA78L09AWV	μA78L09ACL	
10V		μA78L10ACL	
12V	μA78L12AWV	μA78L12ACL	μPC78L12
15V	μA78L15AWV	μA78L15ACL	μPC78L15
18V	μA78L18AWV		
24V	μA78L24AWV		

TL607CP (TI)
SN72607P (TI)
MOS ANALOG SWITCH
-TOP VIEW-

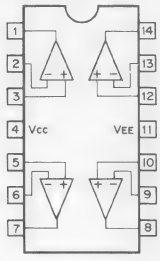




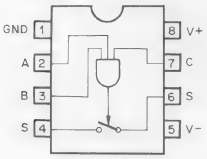
INPUTS		SW
A	EN	
X	0	OPEN
0	1	6-7
1	1	6-7

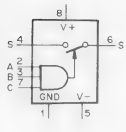
0; LOW LEVEL
1; HIGH LEVEL
X; DON'T CARE

μPC324C (NEC)
LM324 (NSC)
CA324 (RCA)
QUAD. OP AMPLIFIER
-TOP VIEW-



TL610CP (TI)
MOS ANALOG SWITCH
-TOP VIEW-

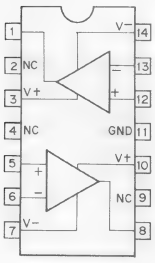




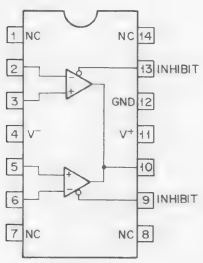
CONT IN			S
A	B	C	
0	X	X	OFF(OPEN)
X	0	X	OFF(OPEN)
X	X	0	OFF(OPEN)
1	1	1	ON(CLOSED)

0; LOW LEVEL
1; HIGH LEVEL
X; DON'T CARE

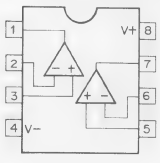
TL820CN (TI)
VOLTAGE COMPARATOR
(DIFFERENTIAL INPUTS)
-TOP VIEW-



μA711DC (FSC)
VOLTAGE COMPARATOR
—TOP VIEW—

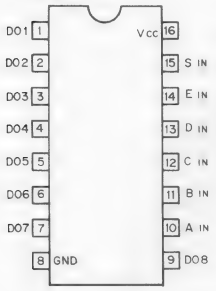


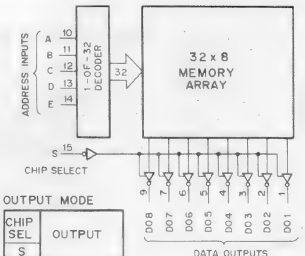
μPC4557C (NEC)
OPERATIONAL AMPLIFIER
(WIDE BAND, LOW NOISE)
—TOP VIEW—



MB7051 (FUJITSU)
SN74S288N (TI)
IM5610CJE (INTERSIL)
256-BIT (32x8) PROM (3-STATE OUTPUT)

—TOP VIEW—





OUTPUT MODE

CHIP SEL S	OUTPUT
0	ENABLE
1	HI-IMPEDANCE

WORD / ADDRESS TABLE

WORD	ADDRESS INPUTS				
	E	D	C	B	A
0	0	0	0	0	0
1	0	0	0	0	1
2	0	0	0	1	0
⋮	⋮	⋮	⋮	⋮	⋮
29	1	1	1	0	1
30	1	1	1	1	0
31	1	1	1	1	1

DATA CODE / ACTUAL DATA

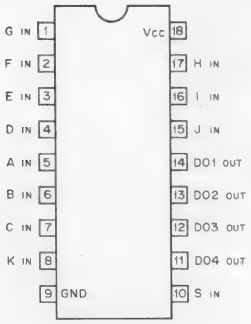
DATA CODE		ACTUAL DATA							
		DO8	DO7	DO6	DO5	DO4	DO3	DO2	DO1
0	00	0	0	0	0	0	0	0	0
1	01	0	0	0	0	0	0	0	1
2	02	0	0	0	0	0	0	1	0
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
8	08	0	0	0	0	1	0	0	0
9	09	0	0	0	0	1	0	0	1
10	0A	0	0	0	0	1	0	1	0
11	0B	0	0	0	0	1	0	1	1
12	0C	0	0	0	0	1	1	0	0
13	0D	0	0	0	0	1	1	0	1
14	0E	0	0	0	0	1	1	1	0
15	0F	0	0	0	0	1	1	1	1
16	10	0	0	0	1	0	0	0	0
17	11	0	0	0	1	0	0	0	1
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
238	EE	1	1	1	0	1	1	1	0
239	EF	1	1	1	0	1	1	1	1
240	F0	1	1	1	1	0	0	0	0
241	F1	1	1	1	1	0	0	0	1
242	F2	1	1	1	1	0	0	1	0
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
248	F8	1	1	1	1	1	0	0	0
249	F9	1	1	1	1	1	0	0	1
250	FA	1	1	1	1	1	0	1	0
251	FB	1	1	1	1	1	0	1	1
252	FC	1	1	1	1	1	1	0	0
253	FD	1	1	1	1	1	1	0	1
254	FE	1	1	1	1	1	1	1	0
255	FF	1	1	1	1	1	1	1	1

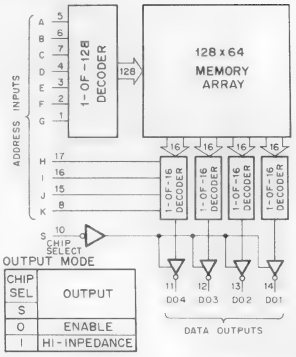
IN HEXA-DECIMAL
IN DECIMAL

MB7051-WADD
PROGRAMMED DATA IN HEXADECIMAL

ADDRESS	DATA OUTPUTS
000 - 00F	2.2.3.3.0.0.1.1.2.3.3.0.0.1.1.2.
010 - 01F	0.0.0.0.0.0.0.0.0.0.0.0.0.0.0.0.

MB7128E (FUJITSU)
8192-BIT (2048x4) PROM WITH 3-STATE OUTPUTS
—TOP VIEW—





OUTPUT MODE

CHIP SEL S	OUTPUT
0	ENABLE
1	HI-INPEDANCE

WORD/ADDRESS TABLE

WORD	ADDRESS INPUTS										
	K	J	I	H	G	F	E	D	C	B	A
0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	1
2	0	0	0	0	0	0	0	0	0	1	0
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
2045	1	1	1	1	1	1	1	1	0	1	
2046	1	1	1	1	1	1	1	1	1	0	
2047	1	1	1	1	1	1	1	1	1	1	

DATA CODE		ACTUAL DATA			
		DO4	DO3	DO2	DO1
0	0	0	0	0	0
1	1	0	0	0	1
2	2	0	0	1	0
3	3	0	0	1	1
4	4	0	1	0	0
5	5	0	1	0	1
6	6	0	1	1	0
7	7	0	1	1	1
8	8	1	0	0	0
9	9	1	0	0	1
10	A	1	0	1	0
11	B	1	0	1	1
12	C	1	1	0	0
13	D	1	1	0	1
14	E	1	1	1	0
15	F	1	1	1	1

IN HEXADECIMAL
IN DECIMAL

0 : LOW LEVEL
1 : HIGH LEVEL

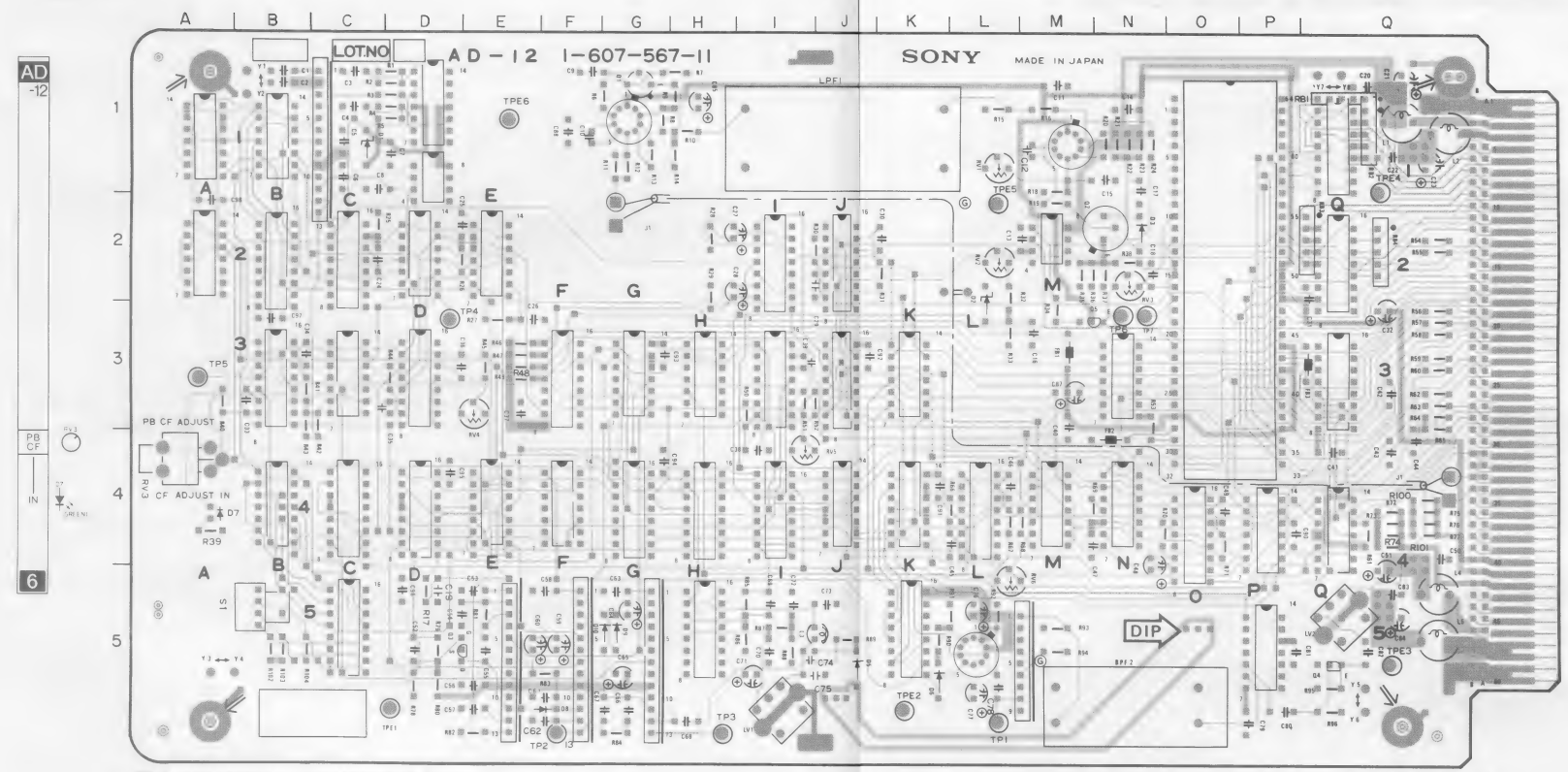
MB7128E-YCM1
PROGRAMMED DATA IN HEXADECIMAL

ADDRESS	DATA OUTPUTS
000 - 00F	8.7.6.5.4.3.2.1.0.0.0.0.0.0.0.0.
010 - 01F	9.8.7.6.5.4.3.2.1.0.0.0.0.0.0.0.
020 - 02F	A.9.8.7.6.5.4.3.2.1.0.0.0.0.0.0.
030 - 03F	B.A.9.8.7.6.5.4.3.2.1.0.0.0.0.0.
040 - 04F	C.B.A.9.8.7.6.5.4.3.2.1.0.0.0.0.
050 - 05F	D.C.B.A.9.8.7.6.5.4.3.2.1.0.0.0.
060 - 06F	E.D.C.B.A.9.8.7.6.5.4.3.2.1.0.0.
070 - 07F	F.E.D.C.B.A.9.8.7.6.5.4.3.2.1.0.
080 - 08F	F.F.E.D.C.B.A.9.8.7.6.5.4.3.2.1.
090 - 09F	F.F.F.E.D.C.B.A.9.8.7.6.5.4.3.2.
0A0 - 0AF	F.F.F.F.E.D.C.B.A.9.8.7.6.5.4.3.
0B0 - 0BF	F.F.F.F.F.E.D.C.B.A.9.8.7.6.5.4.
0C0 - 0CF	F.F.F.F.F.F.E.D.C.B.A.9.8.7.6.5.
0D0 - 0DF	F.F.F.F.F.F.F.E.D.C.B.A.9.8.7.6.
0E0 - 0EF	F.F.F.F.F.F.F.F.E.D.C.B.A.9.8.7.
0F0 - 0FF	F.F.F.F.F.F.F.F.F.E.D.C.B.A.9.8.
100 - 10F	7.6.5.4.3.2.1.0.0.0.0.0.0.0.0.0.
110 - 11F	8.7.6.5.4.3.2.1.0.0.0.0.0.0.0.0.
120 - 12F	9.8.7.6.5.4.3.2.1.0.0.0.0.0.0.0.
130 - 13F	A.9.8.7.6.5.4.3.2.1.0.0.0.0.0.0.
140 - 14F	B.A.9.8.7.6.5.4.3.2.1.0.0.0.0.0.
150 - 15F	C.B.A.9.8.7.6.5.4.3.2.1.0.0.0.0.
160 - 16F	D.C.B.A.9.8.7.6.5.4.3.2.1.0.0.0.
170 - 17F	E.D.C.B.A.9.8.7.6.5.4.3.2.1.0.0.
180 - 18F	F.E.D.C.B.A.9.8.7.6.5.4.3.2.1.0.
190 - 19F	F.F.E.D.C.B.A.9.8.7.6.5.4.3.2.1.
1A0 - 1AF	F.F.F.E.D.C.B.A.9.8.7.6.5.4.3.2.
1B0 - 1BF	F.F.F.F.E.D.C.B.A.9.8.7.6.5.4.3.
1C0 - 1CF	F.F.F.F.F.E.D.C.B.A.9.8.7.6.5.4.
1D0 - 1DF	F.F.F.F.F.F.E.D.C.B.A.9.8.7.6.5.
1E0 - 1EF	F.F.F.F.F.F.F.E.D.C.B.A.9.8.7.6.
1F0 - 1FF	F.F.F.F.F.F.F.F.E.D.C.B.A.9.8.7.
200 - 20F	0.0.0.0.0.0.0.0.1.2.3.4.5.6.7.8.
210 - 21F	0.0.0.0.0.0.0.0.1.2.3.4.5.6.7.8.9.
220 - 22F	0.0.0.0.0.0.0.1.2.3.4.5.6.7.8.9.A.
230 - 23F	0.0.0.0.0.0.1.2.3.4.5.6.7.8.9.A.B.
240 - 24F	0.0.0.0.0.1.2.3.4.5.6.7.8.9.A.B.C.
250 - 25F	0.0.0.0.1.2.3.4.5.6.7.8.9.A.B.C.D.
260 - 26F	0.0.0.1.2.3.4.5.6.7.8.9.A.B.C.D.E.
270 - 27F	0.0.1.2.3.4.5.6.7.8.9.A.B.C.D.E.F.
280 - 28F	0.1.2.3.4.5.6.7.8.9.A.B.C.D.E.F.F.
290 - 29F	1.2.3.4.5.6.7.8.9.A.B.C.D.E.F.F.F.
2A0 - 2AF	2.3.4.5.6.7.8.9.A.B.C.D.E.F.F.F.F.
2B0 - 2BF	3.4.5.6.7.8.9.A.B.C.D.E.F.F.F.F.F.
2C0 - 2CF	4.5.6.7.8.9.A.B.C.D.E.F.F.F.F.F.F.
2D0 - 2DF	5.6.7.8.9.A.B.C.D.E.F.F.F.F.F.F.F.
2E0 - 2EF	6.7.8.9.A.B.C.D.E.F.F.F.F.F.F.F.F.
2F0 - 2FF	7.8.9.A.B.C.D.E.F.F.F.F.F.F.F.F.F.
300 - 30F	0.0.0.0.0.0.0.0.0.1.2.3.4.5.6.7.
310 - 31F	0.0.0.0.0.0.0.0.1.2.3.4.5.6.7.8.
320 - 32F	0.0.0.0.0.0.0.1.2.3.4.5.6.7.8.9.
330 - 33F	0.0.0.0.0.0.1.2.3.4.5.6.7.8.9.A.
340 - 34F	0.0.0.0.0.1.2.3.4.5.6.7.8.9.A.B.
350 - 35F	0.0.0.0.1.2.3.4.5.6.7.8.9.A.B.C.
360 - 36P	0.0.0.1.2.3.4.5.6.7.8.9.A.B.C.D.
370 - 37F	0.0.1.2.3.4.5.6.7.8.9.A.B.C.D.E.
380 - 38F	0.1.2.3.4.5.6.7.8.9.A.B.C.D.E.F.
390 - 39F	1.2.3.4.5.6.7.8.9.A.B.C.D.E.F.F.
3A0 - 3AF	2.3.4.5.6.7.8.9.A.B.C.D.E.F.F.F.
3B0 - 3BF	3.4.5.6.7.8.9.A.B.C.D.E.F.F.F.F.
3C0 - 3CF	4.5.6.7.8.9.A.B.C.D.E.F.F.F.F.F.
3D0 - 3DF	5.6.7.8.9.A.B.C.D.E.F.F.F.F.F.F.
3E0 - 3EF	6.7.8.9.A.B.C.D.E.F.F.F.F.F.F.F.
3F0 - 3FF	7.8.9.A.B.C.D.E.F.F.F.F.F.F.F.F.
400 - 40F 410 - 41F . . . 7E0 - 7EF 7F0 - 7FF	ALL "0"

SECTION C
SCHEMATIC DIAGRAM & BOARD LAYOUT

AD-12 BOARD (1-607-567-11)

Component Side



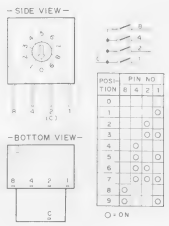
AD-12 (1-607-567-11)

BKH-2100(J,U/C)		IC5C	
		IC5E	
D1	1C	IC5F	
D2	2L	IC5G	
D3	2N	IC5H	
D5	5J	IC5K	
D6	5K	IC5L	
D7	4A	IC5M	
D8	5F		
D9	5G	LV1	5I
D10	5G	LV2	5Q
DL	4F	Q1	1G
		Q2	2N
IC1	1D	Q3	5E
IC1A		Q4	1Q
IC1B		Q5	3N
IC1C			
IC1D		RB1	1Q
IC1G		RB2	1Q
IC1M		RB3	2Q
IC1P		RB4	2Q
IC1Q			
IC2A		RV1	1L
IC2B		RV2	2L
IC2C		RV3	4A
IC2D		RV4	3E
IC2E		RV5	4I
IC2I		RV6	5L
IC2J			
IC2M			
IC2Q		S1	5B
IC3B			
IC3C		TP1	5L
IC3D		TP2	5K
IC3F		TP3	5H
IC3G		TP4	3D
IC3H		TP5	1A
IC3I		TP6	3N
IC3J		TP7	5N
IC3K			
IC3N		TPE1	5D
IC3Q		TPE2	5K
IC4B		TPE3	5Q
IC4C		TPE4	1Q
IC4D		TPE5	2L
IC4E		TPE6	1F
IC4G			
IC4H			
IC4I			
IC4J			
IC4K			
IC4L			
IC4M			
IC4N			
IC4O			
IC4P			
IC4Q			

RB1, 2, 3, 4

R=620

S1

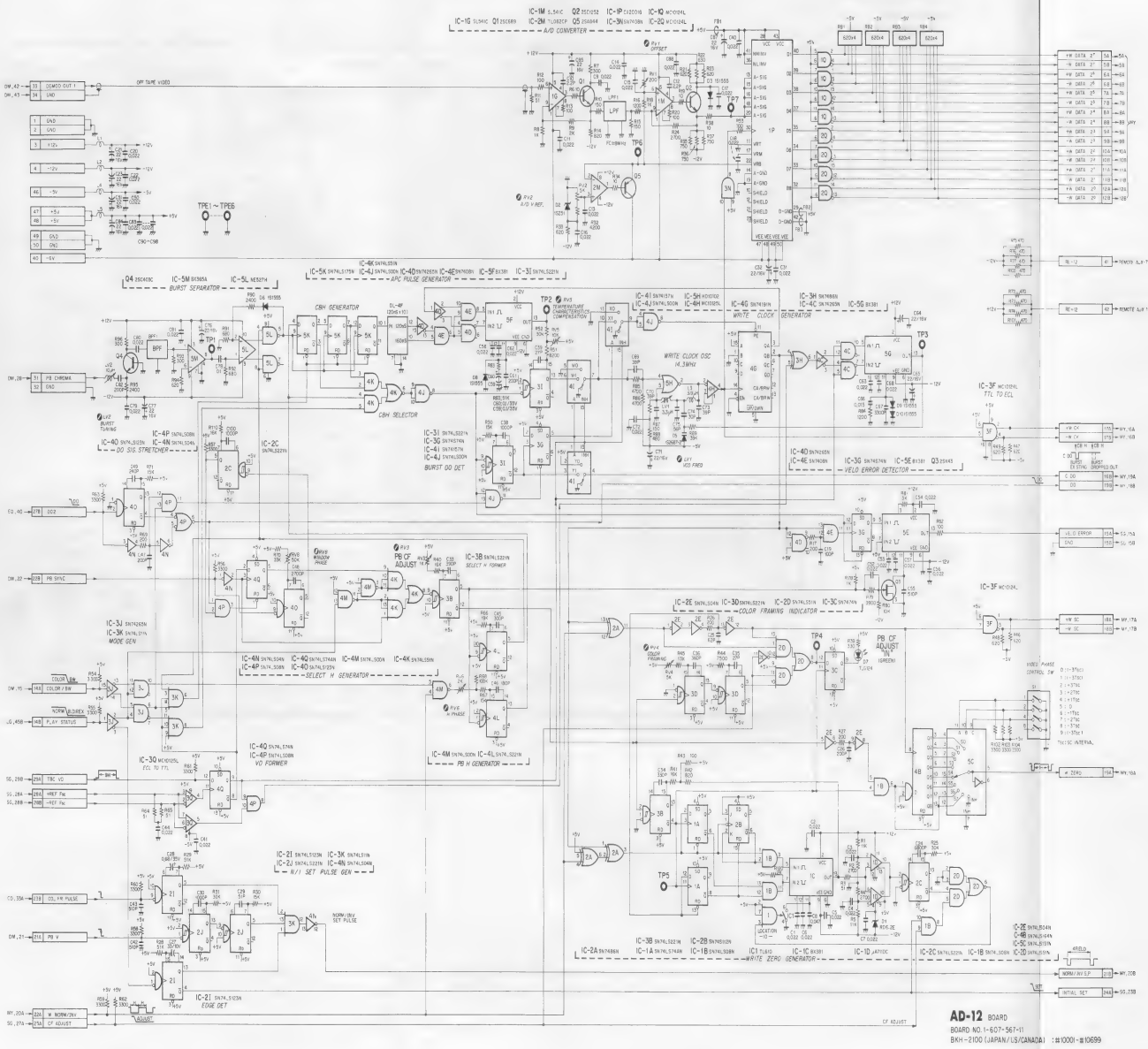


AD-12 CARD RACK 1-607-567-11

1-607-567-11 CARD RACK AD-12

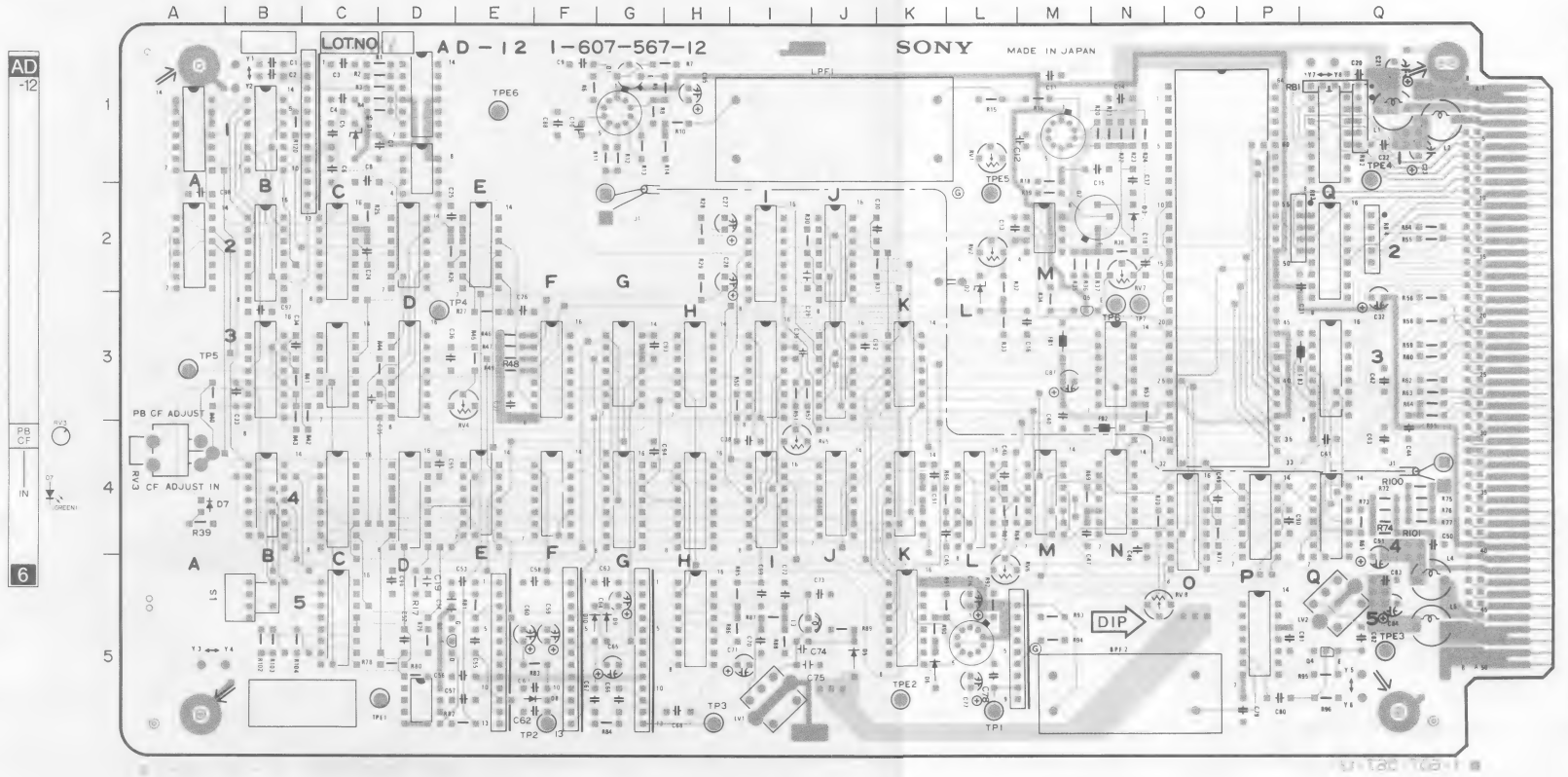
AD-12 BOARD

A/D Converter
Write Clock Generator



AD-12 BOARD (1-607-567-12)

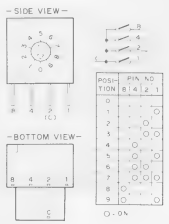
Component Side



RB1, 2, 3, 4

R=620

S1



AD-12 (1-607-567-12)

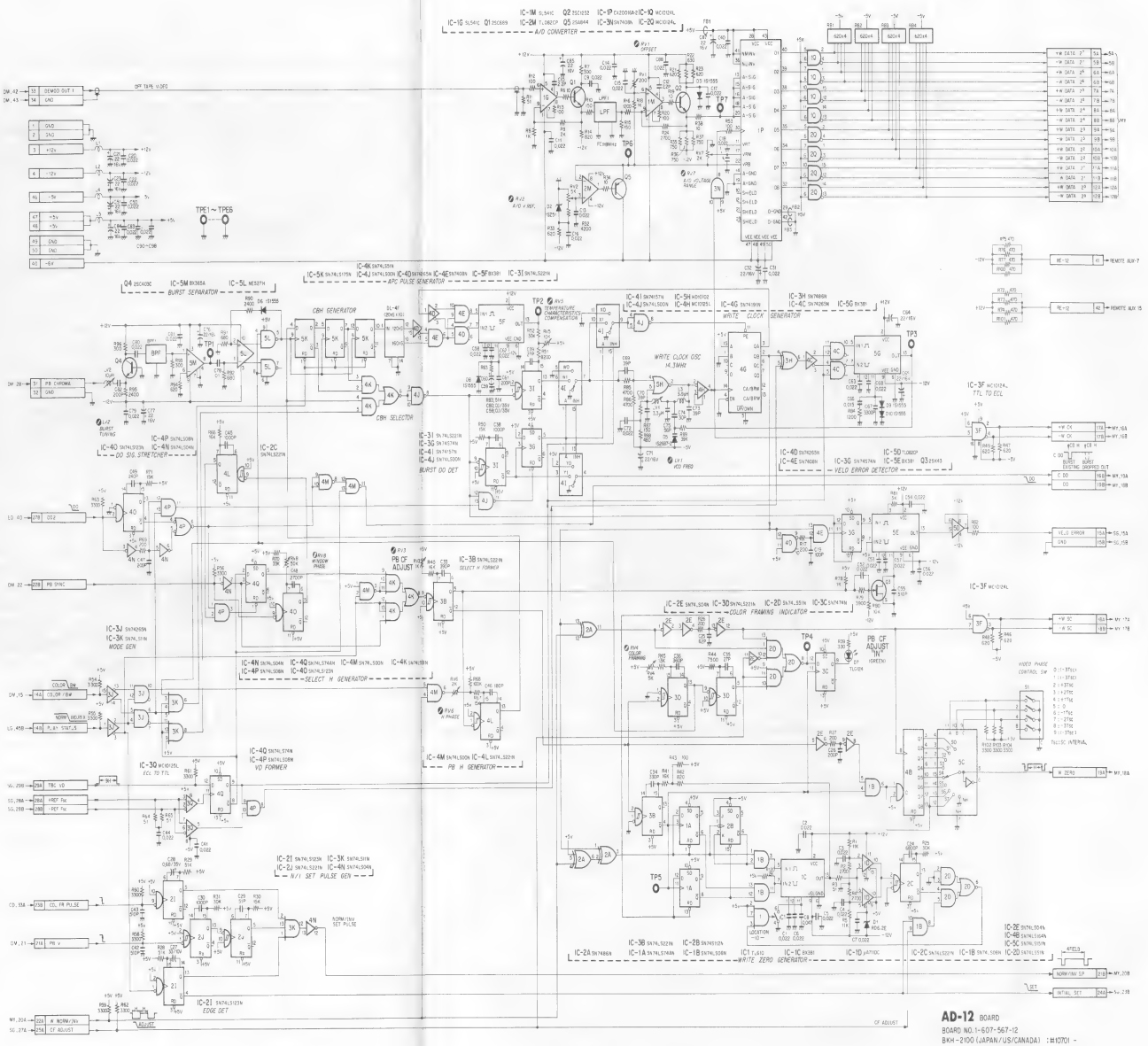
BKH-2100(J,U/C)		LV1	5I
		LV2	5G
Q1	1C		
Q2	2L	Q1	1G
Q3	2N	Q2	2N
Q4	5J	Q3	5E
Q5	5K	Q4	5G
Q7	4A	Q5	3N
Q8	5F		
Q9	5G	RB1	1Q
Q10	5G	RB2	1Q
		RB3	2Q
QL	4F	RB4	2Q
IC1	1D	RV1	1L
IC1A		RV2	2L
IC1B		RV3	4A
IC1C		RV4	3E
IC1D		RV5	4I
IC1G		RV6	5L
IC1M		RV7	2M
IC1P		RV8	4Q
IC1Q			
IC2A		S1	5B
IC2B			
IC2C		TP1	5L
IC2D		TP2	5F
IC2E		TP3	5H
IC2I		TP4	3Q
IC2J		TP5	3A
IC2M		TP6	3N
IC2Q		TP7	3N
IC3B			
IC3C		TPE1	5D
IC3D		TPE2	5K
IC3F		TPE3	5Q
IC3G		TPE4	1Q
IC3H		TPE5	2L
IC3I		TPE6	1E
IC3J			
IC3K			
IC3N			
IC3Q			
IC4B			
IC4C			
IC4D			
IC4E			
IC4G			
IC4H			
IC4I			
IC4J			
IC4K			
IC4L			
IC4M			
IC4N			
IC4O			
IC4P			
IC4Q			
IC5G			
IC5D			
IC5E			
IC5F			
IC5G			
IC5H			
IC5K			
IC5L			
IC5M			

AD-12 CARD RACK 1-607-567-12

1-607-567-12 CARD RACK **AD-12**

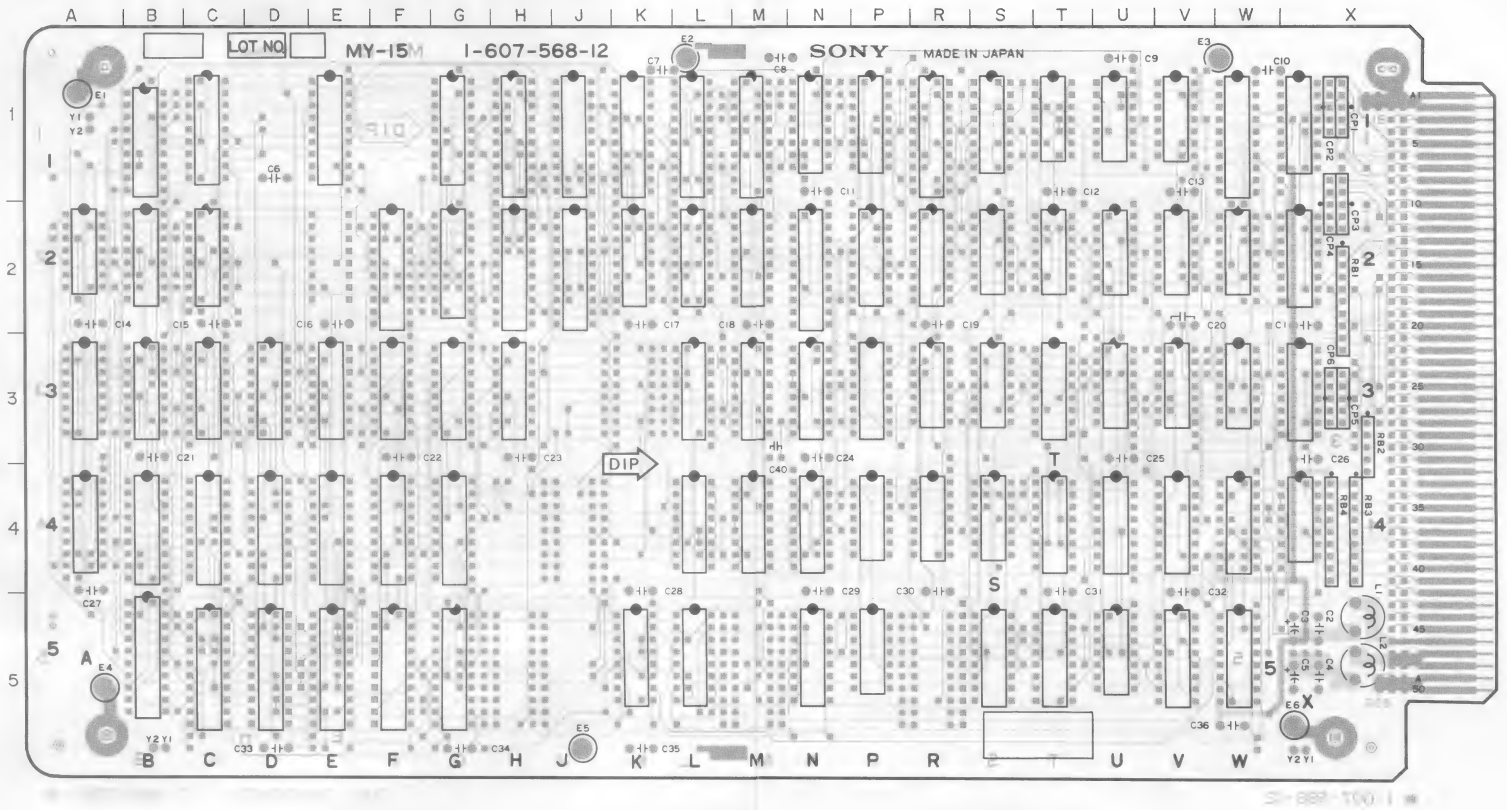
AD-12 BOARD

A/D Converter
Write Clock Generator



MY-15 BOARD (1-607-568-12)

Component Side



MY-15 (1-607-568-12)

BKH-2100(J,U/C)		IC3A
		IC3B
CP1	1X	IC3C
CP2	1X	IC3D
CP3	2X	IC3E
CP4	2X	IC3F
CP5	3X	IC3G
CP6	3X	IC3H
		IC3L
DL	5P	IC3M
		IC3N
E1	1A	IC3P
E2	1L	IC3H
E3	1W	IC3S
E4	5A	IC3T
E5	5J	IC3U
E6	5X	IC3V
		IC3W
		IC3X
IC1B		IC4A
IC1C		IC4B
IC1E		IC4C
IC1G		IC4D
IC1H		IC4E
IC1J		IC4F
IC1K		IC4G
IC1L		IC4L
IC1M		IC4M
IC1N		IC4N
IC1P		IC4P
IC1R		IC4R
IC1S		IC4S
IC1T		IC4T
IC1U		IC4U
IC1V		IC4V
IC1W		IC4W
IC1X		IC4X
IC2A		IC5B
IC2B		IC5C
IC2C		IC5D
IC2E		IC5E
IC2F		IC5F
IC2H		IC5G
IC2J		IC5K
IC2K		IC5L
IC2L		IC5N
IC2M		IC5S
IC2N		IC5T
IC2R		IC5U
IC2S		IC5V
IC2T		IC5W
IC2U		
IC2V		
C2W	RB1	2X
C2X	RB2	3X
	RB3	4X
	RB4	4X

CP1, 2, 3, 4, 6

R=51
C=0.01

CP5

R=150
C=0.01

RB1

R=3300

RB2

R=3300

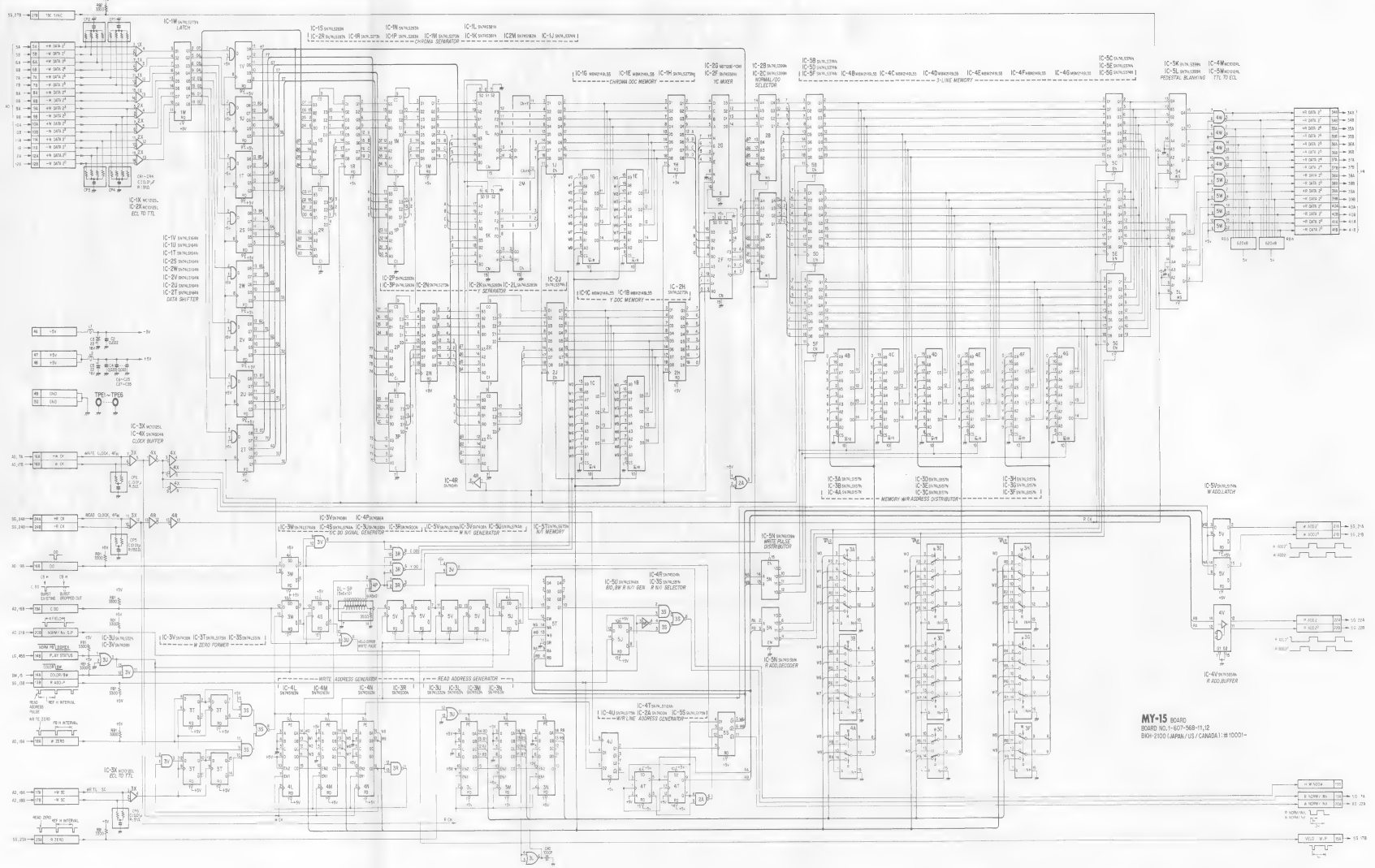
RB3, 4

R=620

CARD RACK MY-15

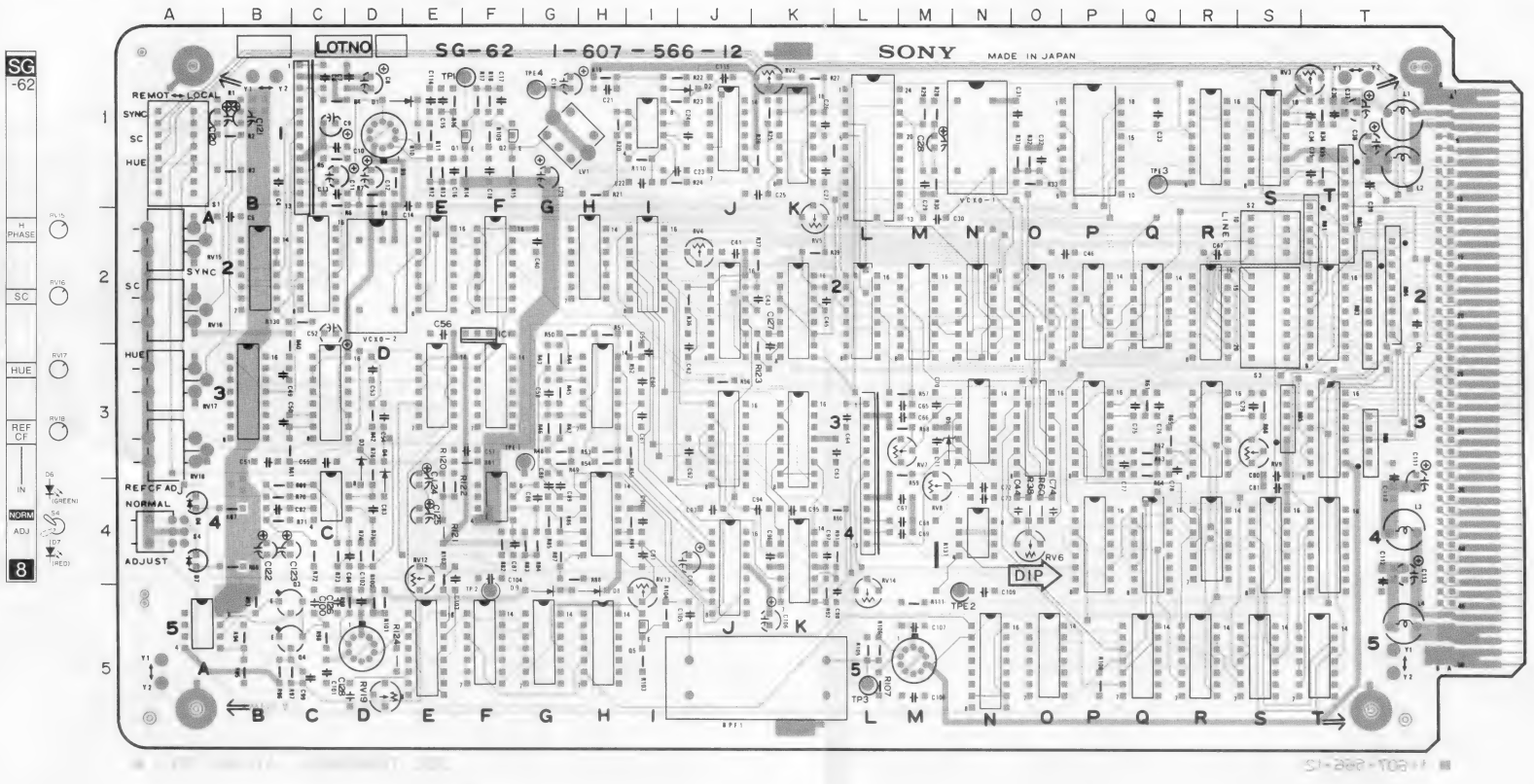
MY-15 BOARD

3-Line Memory
Dropout Compensator
Sequencer



SG-62 BOARD (1-607-566-12)

Component Side



SG-62 (1-607-566-12)

BKH-2100(J,U/C)			LV1	1G	
D1	1D		Q1	1E	
D2	1J		Q2	2E	
D3	3D		Q3	5B	
D4	3D		Q4	5B	
D5	3M		Q5	5I	
D6	4A				
D7	4A		RB1	2T	
D8	4H		RB2	2T	
D9	4H		RB3	2T	
			RB4	2T	
DL	5F		RB5	3S	
			RB6	3T	
IC1	2F				
IC1C			RV2	1K	
IC1D			RV3	1T	
IC1I			RV4	2J	
IC1J			RV5	2K	
IC1K			RV6	4O	
IC1L			RV7	3M	
IC1P			RV8	4M	
IC1R			RV9	3S	
IC1S			RV12	4E	
IC2B			RV13	5I	
IC2C			RV14	5L	
IC2E			RV15	2A	
IC2F			RV16	2A	
IC2H			RV17	3A	
IC2I			RV18	3A	
IC2J			RV19	5D	
IC2K					
IC2L			S1	1A	
IC2M			S2	2S	
IC2N			S3	2S	
IC2O			S4	4A	
IC2P					
IC2Q			TP1	1E	
IC2R			TP2	5F	
IC2T			TP3	5L	
IC3B					
IC3C			TPE1	3F	
IC3E			TPE2	5N	
IC3F			TPE3	1Q	
IC3H			TPE4	1G	
IC3J					
IC3K			VCXO1	1N	
IC3L			VCXO2	2D	
IC3N					
IC3O					
IC3P					
IC3R					
IC3T					
IC4C					
IC4F					
IC4H					
IC4J					
IC4K					
IC4N					
IC4P					
IC4Q					
IC4R					
IC4S					
IC4T					
IC5A					
IC5D					
IC5E					
IC5G					
IC5H					
IC5M					
IC5N					
IC5O					
IC5Q					
IC5R					
IC5S					
IC5T					

RB1

R=3300

RB2, 3, 4

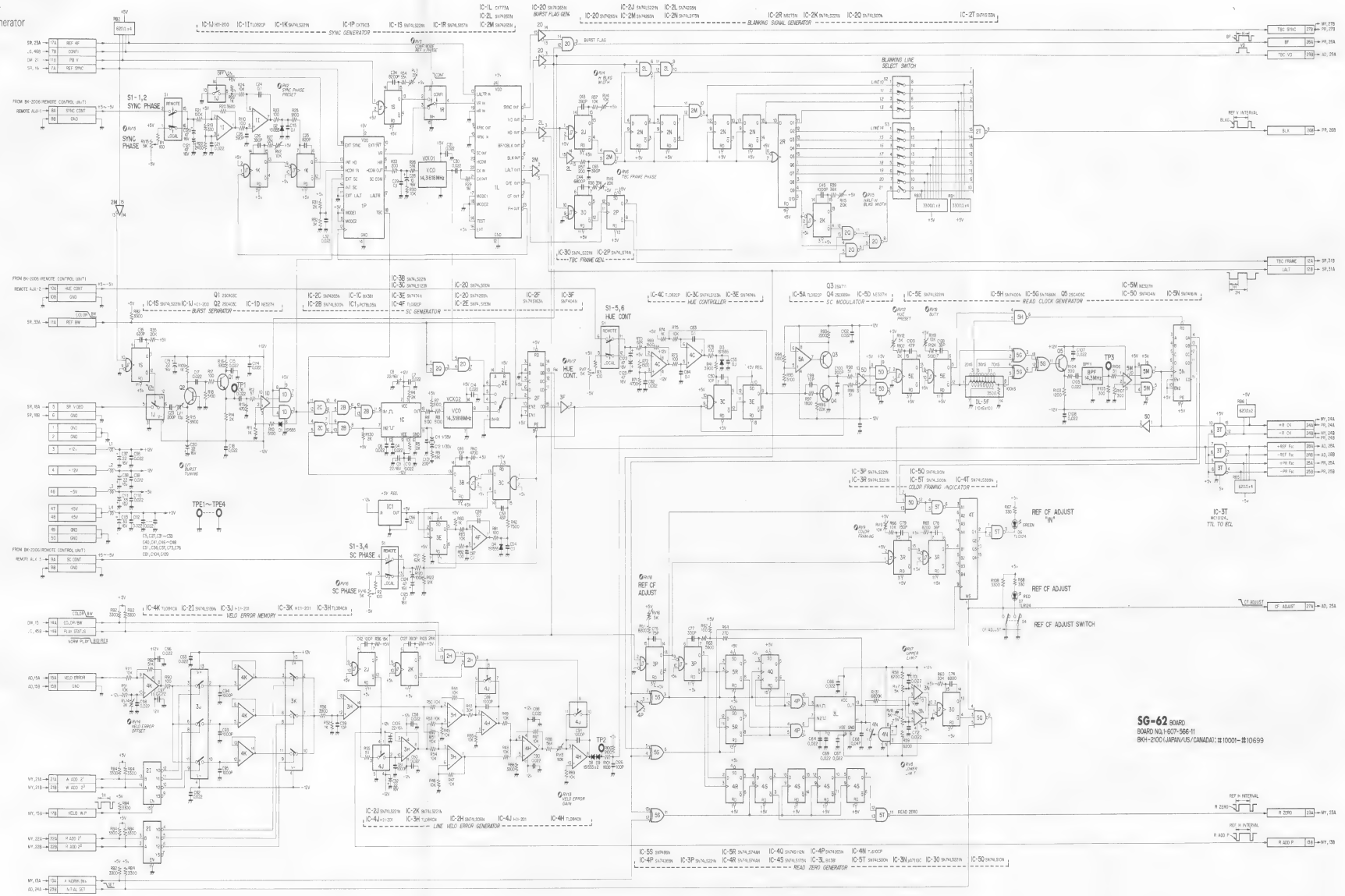
R=3300

RB5, 6

R=620

SG-62 BOARD UP TO #10699

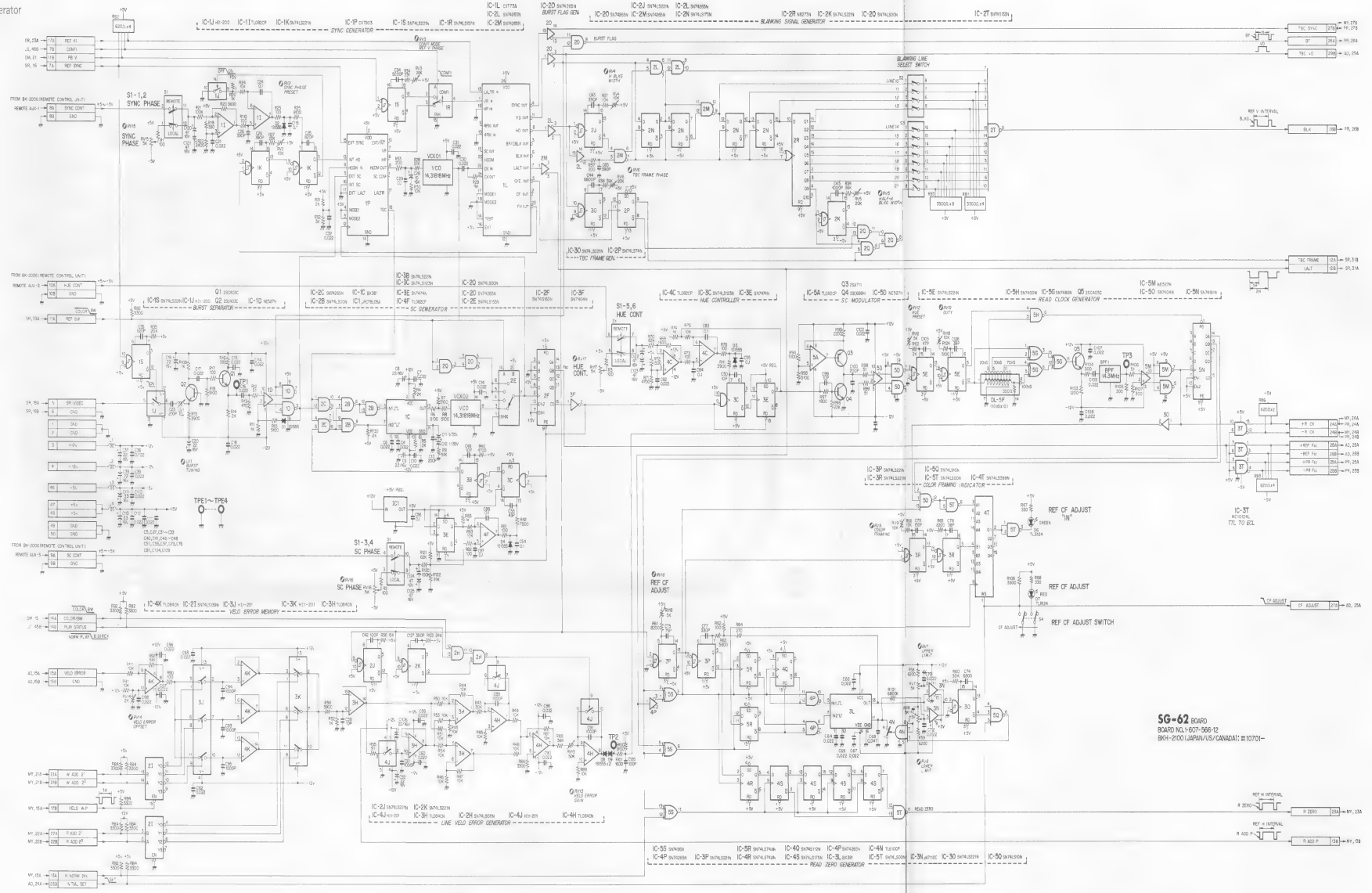
Sync Generator
Read Clock Generator



CARD RACK SG-62

SG-62 BOARD #10701 & UP

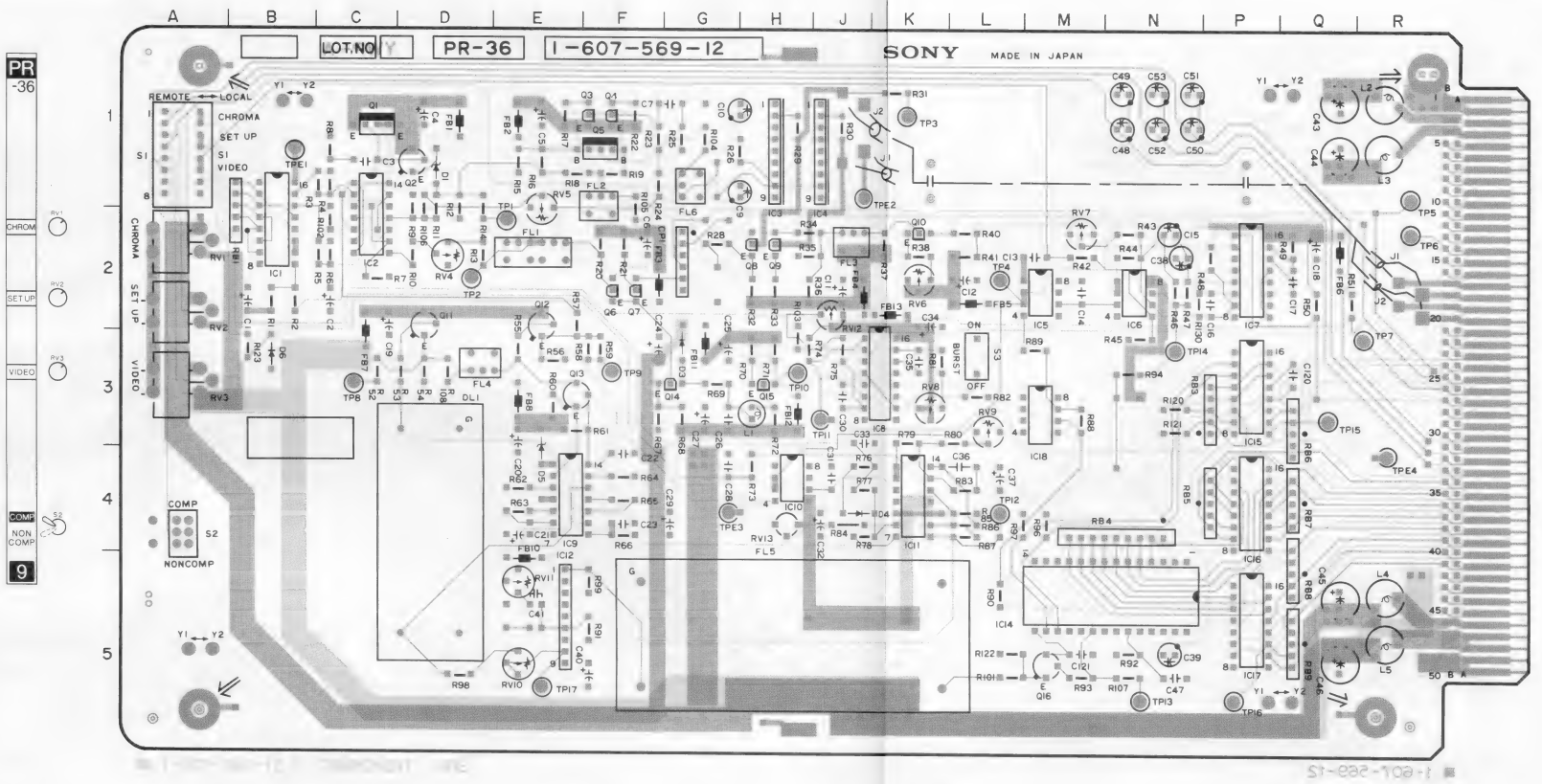
Sync Generator
Read Clock Generator



C-19 (b) C-20 (b) C-21 (b)

PR-36 BOARD (1-607-569-12)

Component Side



PR-36 (1-607-569-12)

BKH-2100(J,U/C)		RV1	2A		
		RV2	2A		
CP1	2G	RV3	5A		
		RV4	2J		
D1	1D	RV5	1E		
D3	3D	RV6	2K		
D4	4J	RV7	2M		
D5	4E	RV8	5K		
D6	3B	RV9	5I		
		RV10	5I		
DL1	4D	RV11	5E		
		RV12	2J		
IC1	2B	RV13	4H		
IC2	2D				
IC3	1H	S1	1A		
IC4	1J	S2	4A		
IC5	2M	S3	3I		
IC6	2K				
IC7	2P	TP1	2F		
IC8	5K	TP2	2D		
IC9	4E	TP3	1K		
IC10	4H	TP4	2L		
IC11	4K	TP5	1R		
IC12	5E	TP6	2R		
IC14	5M	TP7	3R		
IC15	5P	TP8	3C		
IC16	4P	TP9	3F		
IC17	5P	TP10	5H		
IC18	3M	TP11	5J		
		TP12	4I		
Q1	1C	TP13	5K		
Q2	1D	TP14	3K		
Q3	1F	TP15	3Q		
Q4	1H	TP16	5P		
Q5	1F	TP17	5E		
Q6	2I				
Q7	2F	TPE1	1B		
Q8	2H	TPE2	1J		
Q9	2H	TPE3	4D		
Q10	2K	TPE4	4R		
Q11	2D				
Q12	2L				
Q13	5L				
Q14	3G				
Q15	3H				
Q16	5M				
RB1	2B				
RB3	3F				
RB4	4M				
RB5	4P				
RB6	3Q				
RB7	4Q				
RB8	5Q				
RB9	5Q				

CP1

R=51
C=0.01

RB1

R=1500

RB3

R=1K

RB4

R=620

RB5, 7, 8, 9

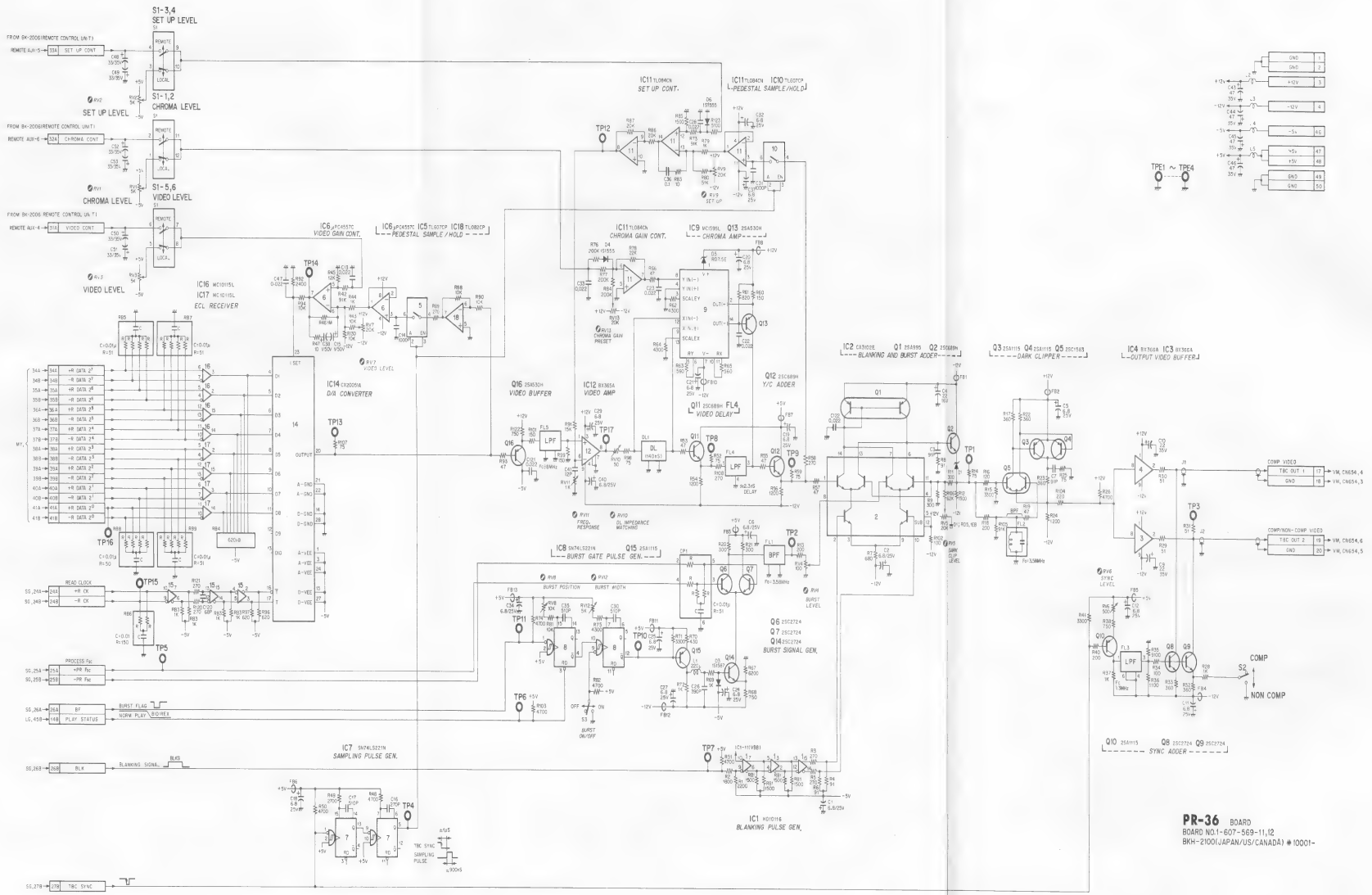
R=51
C=0.01

RB6

R=150
C=0.01

PR-36 BOARD

D/A Converter
Processor



PR-36 BOARD
BOARD NO.1-607-569-11,12
BKH-2100(JAPAN/US/CANADA) # 10001-

SECTION D
REPLACEABLE PARTS

補修用部品注意事項

(1) 部品の共通化
ソニーから供給される部品はセットに実装されているものと異なることがある。これは部品の共通化，改良等によるものである。
電気部品表には現時点での共通化された部品が記載されている。

(2) 部品の変更に関する情報はSECTION E CHANGED PARTSの項を参照のこと。

(3) 部品の在庫
部品表中，( )で示されている部品は交換頻度が低い部品であるので在庫していないことがあり，納期が長くなることがある。

(4) コンデンサー，インダクター，抵抗の単位
回路図，電気部品表中，特に明記したものを除き，下記の単位は省略されている。
コンデンサー；μF
インダクター；μH
抵抗；Ω

Notes on Repair Parts

(1) **Standardization of Parts**
Repair parts supplied from Sony Parts Center may not be always identical with the parts which actually in use due to "accommodating the improved parts and/or engineering changes" or "standardization of genuine parts".
This manual's electrical spare parts list is indicating the part numbers of "the standardized genuine parts at present".

(2) Regarding engineering parts changes in our engineering department, refer to SECTION E CHANGED PARTS.

(3) **Stock of Parts**
Parts marked with ( ) on the spare parts list are not normally required for routine service work. Orders for parts marked with ( ) will be processed, but allow for additional delivery time.

(4) **Units for Capacitors, Inductors and Resistors**
The following units are assumed in electrical parts list and schematic diagrams unless otherwise specified:
Capacitors; μF
Inductors; μH
Resistors; ohm

Ref.No. or Q'ty	Part No.	Description
AD-12 BOARD (BKH-2100/BVH-2000 CARD RACK)		
1pc	() A-6257-104-A	COMPLETE PCB,AD-12
(This assembly includes the following parts.)		
1pc	() X-3673-641-0	PLATE ASSY,SHIELD
C10,12	1-107-042-00	CAP,MICA 2.2PF +/-0.5PF 500V
C35,39	1-107-157-00	CAP,MICA 27PF 5% 500V
C74	1-107-158-00	CAP,MICA 30PF 5% 500V
C30,38,45	1-108-555-00	CAP,MYLAR 0.001 5% 50V
C48	1-108-565-00	CAP,MYLAR 0.0027 5% 50V
C67	1-108-567-00	CAP,MYLAR 0.0033 5% 50V
C24	1-108-575-00	CAP,MYLAR 0.0068 5% 50V
C66	1-108-583-00	CAP,MYLAR 0.015 5% 50V
C8	1-108-595-00	CAP,MYLAR 0.047 5% 50V
C69,70,73	1-109-525-00	CAP,MICA 39PF 5% 100V
C29	1-109-528-00	CAP,MICA 51PF 5% 100V
C75	1-109-529-00	CAP,MICA 56PF 5% 100V
C25	1-109-530-00	CAP,MICA 62PF 5% 100V
C19	1-109-535-00	CAP,MICA 100PF 5% 100V
C46	1-109-540-00	CAP,MICA 180PF 5% 100V
C26,47,61,82	1-109-541-00	CAP,MICA 200PF 5% 100V
C49	1-109-543-00	CAP,MICA 240PF 5% 100V
C34	1-109-547-00	CAP,MICA 330PF 5% 100V
C36	1-109-548-00	CAP,MICA 360PF 5% 100V
C33	1-109-549-00	CAP,MICA 390PF 5% 100V
C42,43,55	1-109-554-00	CAP,MICA 510PF 5% 100V
C59,60	1-131-341-00	CAP,TANT 0.1 10% 35V
C28	1-131-346-00	CAP,TANT 0.68 10% 35V
C27	1-131-380-00	CAP,TANT 33 10% 10V
C21,23,32,51,64,65,71, 76,77,84,85,87	1-131-441-00	CAP,TANT 22 10% 16V
C78	1-161-894-00	CAP,CERAMIC 0.1 50V
C1,2,3,4,5,6,7,9,11,13, 14,15,16,17,18,20,22, 31,37,40,41,44,50,52, 53,54,56,57,58,62,63, 68,72,79,80,81,83,88, 90,91,92,93,94,95,96, 97,98	1-162-596-00	CAP,CERAMIC 0.022 25V
R6,19,34,38	1-214-084-00	RES,METAL 10 1% 1/4W
R3,11,64,65	1-214-101-00	RES,METAL 51 1% 1/4W
R12,13,20,43,53,68,82	1-214-108-00	RES,METAL 100 1% 1/4W

Ref.No. or Q'ty	Part No.	Description
(AD-12 BOARD,BKH-2100/BVH-2000 CARD RACK)		
R10,15,87	1-214-112-00	RES,METAL 150 1% 1/4W
R17,26,27,69	1-214-115-00	RES,METAL 200 1% 1/4W
R7,93,96	1-214-119-00	RES,METAL 300 1% 1/4W
R39	1-214-120-00	RES,METAL 330 1% 1/4W
R88	1-214-123-00	RES,METAL 430 1% 1/4W
R72,73,74,75,76,77,100, 101	1-214-124-00	RES,METAL 470 1% 1/4W
R21,22,23,33,46,47,48, 49,94	1-214-127-00	RES,METAL 620 1% 1/4W
R91,92	1-214-128-00	RES,METAL 680 1% 1/4W
R35,36,37	1-214-129-00	RES,METAL 750 1% 1/4W
R14,42	1-214-130-00	RES,METAL 820 1% 1/4W
R8,18,78	1-214-132-00	RES,METAL 1K 1% 1/4W
R16,84	1-214-134-00	RES,METAL 1.2K 1% 1/4W
R9,120	1-214-139-00	RES,METAL 2K 1% 1/4W
R90,95	1-214-141-00	RES,METAL 2.4K 1% 1/4W
R2,4,42	1-214-142-00	RES,METAL 2.7K 1% 1/4W
R81	1-214-143-00	RES,METAL 3K 1% 1/4W
R54,55,56,58,59,60,61, 62,63,102,103,104	1-214-144-00	RES,METAL 3.3K 1% 1/4W
R79	1-214-146-00	RES,METAL 3.9K 1% 1/4W
R32	1-214-147-00	RES,METAL 4.3K 1% 1/4W
R85,86	1-214-148-00	RES,METAL 4.7K 1% 1/4W
R44	1-214-153-00	RES,METAL 7.5K 1% 1/4W
R51	1-214-154-00	RES,METAL 8.2K 1% 1/4W
R80	1-214-156-00	RES,METAL 10K 1% 1/4W
R1,5	1-214-157-00	RES,METAL 11K 1% 1/4W
R45	1-214-159-00	RES,METAL 13K 1% 1/4W
R30,50,67,71	1-214-160-00	RES,METAL 15K 1% 1/4W
R40,41,66	1-214-161-00	RES,METAL 16K 1% 1/4W
R25,31,52	1-214-167-00	RES,METAL 30K 1% 1/4W
R70	1-214-168-00	RES,METAL 33K 1% 1/4W
R89	1-214-170-00	RES,METAL 39K 1% 1/4W
R28,29,83	1-214-173-00	RES,METAL 51K 1% 1/4W
RV1	1-224-935-00	RES,VAR,METAL 200
RV6,7	1-224-938-00	RES,VAR,METAL 2K
RV2,4	1-224-939-00	RES,VAR,METAL 5K
RV5	1-224-940-00	RES,VAR,METAL 10K
RV8	1-224-942-00	RES,VAR,METAL 50K
RV3	1-226-988-00	RES,VAR,COMP 1K
RB1,2,3,4	1-231-504-00	RES,BLOCK 620x4
LPF1	1-231-621-00	FILTER,LOW-PASS
BPF2	1-231-624-00	FILTER,BANDPASS

Ref.No. or Q'ty		Part No.	Description
(AD-12 BOARD,BKH-2100/BVH-2000 CARD RACK)			
L3		1-407-185-XX	INDUCTOR,MICRO 3.9 10%
LV1		1-407-566-00	COIL,VAR 3.3
LV2		1-407-569-00	COIL,VAR 10
DL4F		1-415-168-00	DELAY LINE,20nsx10
L1,2,4,5		1-421-329-00	COIL,CHOKE
FB1,2,3		1-535-178-00	FERRITE BEAD
S1		1-554-001-00	SWITCH,ROTARY
1pc		2-282-313-11	KNOB,CONTROL
1pc	()	2-360-776-00	LABEL(AD-12),PC BOARD
TP1,2,3,4,5,6,7			
	()	3-673-805-01	TERMINAL,TP
TPE1,2,3,4,5,6			
	()	3-673-805-11	TERMINAL,TP
1pc	()	3-673-865-00	LEVER,WITH PIN
1pc	()	3-673-867-00	PLATE,INDICATION, PC BOARD
1pc		7-621-737-08	SET SCREW,2.6x3, FLAT POINT
4pcs		7-621-981-15	SCREW,PSW2.6x6
3pcs	()	7-626-317-21	PIN,SPRING 2.5x8
D2		8-719-102-52	DIODE 1SZ52
D1		8-719-162-07	DIODE RD6.2E
D5		8-719-768-72	DIODE 1S2687S-2
D7		8-719-812-43	LED TLG124,GREEN
D3,6,8,9,10			
		8-719-815-55	DIODE 1S1555
Q2		8-729-125-20	TRANSISTOR 2SC1252
Q1		8-729-368-90	TRANSISTOR 2SC689H
Q4		8-729-603-50	TRANSISTOR 2SC403SP
Q5		8-729-612-77	TRANSISTOR 2SA1027R
IC5M		8-749-936-51	IC BX365A
IC1C,5F,5E,5G			
		8-749-938-10	IC BX381
IC1P		8-752-001-63	IC CX20016A-2
IC3Q,4H		8-759-300-25	IC HD10125,ECL
IC5H		8-759-301-02	IC HD10102,ECL
IC1Q,2Q,3F		8-759-301-24	IC HD10124,ECL
IC4J,4M		8-759-900-00	IC SN74LS00N,TTL
IC2E,4N		8-759-900-04	IC SN74LS04N,TTL
IC1B,4P		8-759-900-08	IC SN74LS08N,TTL
IC3K		8-759-900-11	IC SN74LS11N,TTL
IC2D,4K		8-759-900-51	IC SN74LS51N,TTL
IC1A,4Q		8-759-900-74	IC SN74LS74AN,TTL
IC2A		8-759-900-86	IC SN74LS86N,TTL
IC2I,4O		8-759-901-23	IC SN74LS123N,TTL
IC5C		8-759-901-51	IC SN74LS151N,TTL

Ref.No. or Q'ty		Part No.	Description
(AD-12 BOARD,BKH-2100/BVH-2000 CARD RACK)			
IC4B		8-759-901-64	IC SN74LS164N,TTL
IC5K		8-759-901-75	IC SN74LS175N,TTL
IC2C,2J,3B,3D,3I,4L			
		8-759-902-21	IC SN74LS221N,TTL
IC5L		8-759-905-27	IC NE527H
IC1D		8-759-907-11	IC UA711DC
IC3G		8-759-910-74	IC SN74S74N,TTL
IC2B		8-759-911-12	IC SN74S112N,TTL
IC1		8-759-926-10	IC TL610C
IC4I		8-759-941-57	IC SN74157N,TTL
IC4G		8-759-941-91	IC SN74191N,TTL
IC3J,4C,4D		8-759-942-65	IC SN74265N,TTL
IC1G,1M		8-759-954-10	IC SL541C-CM
IC3N,4E		8-759-974-08	IC SN7408N,TTL
IC3C		8-759-974-74	IC SN7474N,TTL
IC3H		8-759-974-86	IC SN7486N,TTL
IC2M,5D		8-759-990-82	IC TL082CP
Q3		8-769-193-00	TRANSISTOR 2SK43-3

MY-15 BOARD (BKH-2100/BVH-2000 CARD RACK)

1pc	()	A-6259-204-A	COMPLETE PCB,MY-15
(This assembly includes the following parts.)			
1pc	()	X-3673-641-0	PLATE ASSY,SHIELD
C3,5		1-131-441-00	CAP,TANT 22 10% 16V
C40		1-161-039-00	CAP,CERAMIC 0.001 10% 50V
C1,2,4,6,7,8,9,10,11,12, 13,14,15,16,17,18,19, 20,21,22,23,24,25,26, 27,28,29,30,31,32,33, 34,35,36		1-162-596-00	CAP,CERAMIC 0.022 25V
RB3,4		1-231-449-00	RES,BLOCK 620x8
RB1		1-231-450-00	RES,BLOCK 3.3Kx8
CP1,2,3,4,6			
		1-231-455-00	CR PACK
CP5		1-231-456-00	CR PACK
RB2		1-231-521-00	RES,BLOCK 3.3Kx4
DL5P		1-415-167-00	DELAY LINE,5nsx10
L1		1-421-329-00	COIL,CHOKE

Ref.No. or Q'ty	Part No.	Description
(MY-15 BOARD,BKH-2100/BVH-2000 CARD RACK)		
L2	1-421-459-00	COIL,CHOKE
1pc ()	2-360-777-00	LABEL(MY-15),PC BOARD
TPE1,2,3,4,5,6		
()	3-673-805-11	TERMINAL,TP
1pc ()	3-673-865-00	LEVER,WITH PIN
1pc ()	3-673-867-00	PLATE,INDICATION, PC BOARD
4pcs	7-621-981-15	SCREW,PSW2.6x6
3pcs ()	7-626-317-21	PIN,SPRING2.5x8
IC1X,2X,3X	8-759-300-25	IC HD10125,ECL
1C4W,5W	8-759-301-24	IC HD10124,ECL
IC2G	8-759-756-34	IC,PROM,MB7128E-YCM1
IC3U	8-759-900-32	IC SN74LS32N,TTL
IC3S	8-759-900-51	IC SN74LS51N,TTL
IC3W,4S,5U	8-759-900-74	IC SN74LS74AN,TTL
IC4T	8-759-901-12	IC 74LS112AN,TTL
IC3A,3B,3C,3D,3E,3F,3G, 3H,4A	8-759-901-57	IC SN74LS157N,TTL
IC1T,1U,1V,2S,2T,2U,2V, 2W	8-759-901-64	IC SN74LS164N,TTL
IC5V	8-759-901-74	IC SN74LS174N,TTL
IC3T,4U,5S	8-759-901-75	IC SN74LS175N,TTL
IC1H,1M,1R,1W,2H,2N	8-759-902-73	IC SN74LS273N,TTL
IC1N,1P,1S,2K,2L,2P,2R, 3P	8-759-902-83	IC SN74LS283N,TTL
IC1J,2J,5C,5D,5E,5F,5G	8-759-903-74	IC SN74LS374N,TTL
IC2B,2C,5K,5L	8-759-903-99	IC SN74LS399N,TTL
IC1B,1C,1E,1G,4B,4C,4D, 4E,4F,4G	8-759-904-96	IC MBM2149L55,NMOS
IC5T	8-759-906-70	IC SN74LS670N,TTL
IC2A,3R	8-759-910-00	IC SN74S00N,TTL
IC4R,4X	8-759-910-04	IC SN74S04N,TTL
IC4P	8-759-910-86	IC SN74S86N,TTL
IC5N	8-759-911-39	IC SN74S139N,TTL
IC4L,4M,4N	8-759-911-63	IC SN74S163N,TTL
IC2M	8-759-911-82	IC SN74S182N,TTL
IC1K,1L,2F	8-759-913-81	IC SN74S381N,TTL
IC3L,3M,3N	8-759-941-63	IC SN74163N,TTL
IC4V	8-759-943-65	IC SN74365AN,TTL
IC3V	8-759-974-08	IC SN7408N,TTL

Ref.No. or Q'ty	Part No.	Description
SG-62 BOARD (BKH-2100/BVH-2000 CARD RACK)		
1pc ()	A-6259-203-A	COMPLETE PCB,SG-62
(This assembly includes the following parts.)		
1pc ()	X-3673-641-00	PLATE ASSY,SHIELD
C78	1-107-074-00	CAP,MICA 36PF 5% 50V
C49,50,59,99	1-107-202-00	CAP,MICA 10PF 5% 500V
C45,61,89,91,93,94,95	1-108-555-00	CAP,MYLAR 0.001 5% 50V
C44,74	1-108-575-00	CAP,MYLAR 0.0068 5% 50V
C34	1-108-577-00	CAP,MYLAR 0.0082 5% 50V
C128	1-109-525-00	CAP,MICA 39PF 5% 100V
C53	1-109-526-00	CAP,MICA 43PF 5% 100V
C103	1-109-527-00	CAP,MICA 47PF 5% 100V
C75	1-109-532-00	CAP,MICA 75PF 5% 100V
C42,126	1-109-535-00	CAP,MICA 100PF 5% 100V
C79	1-109-539-00	CAP,MICA 150PF 5% 100V
C13,23,100	1-109-541-00	CAP,MICA 200PF 5% 100V
C77	1-109-547-00	CAP,MICA 330PF 5% 100V
C26,43,65,127	1-109-549-00	CAP,MICA 390PF 5% 100V
C35	1-109-556-00	CAP,MICA 620PF 5% 100V
C25	1-109-599-00	CAP,MICA 820PF 5% 100V
C11,12	1-131-347-00	CAP,TANT 1 10% 35V
C28	1-131-371-00	CAP,TANT 10 10% 16V
C120,121,122,123,124, 125	1-131-381-00	CAP,TANT 47 10% 10V
C8,9,19,20,37,38,52,92, 106,111,113	1-131-441-00	CAP,TANT 22 10% 16V
C68	1-161-059-00	CAP,CERAMIC 0.047 10% 50V
C4,5,6,7,10,14,15,16,17, 18,21,27,30,31,32,33, 36,39,40,41,46,47,48, 51,56,57,58,60,62,63, 64,66,67,69,70,71,72, 73,76,80,81,82,88,90, 96,97,98,101,102,104, 105,107,108,109,110, 112,114	1-162-596-00	CAP,CERAMIC 0.022 25V
C22,24,29,54,55,83,84, 86,87,115	1-161-894-00	CAP,CERAMIC 0.1 50V
R131	1-210-832-00	RES,CARBON 6.8M 5% 1/4W
R12,55,98,99,106	1-214-101-00	RES,METAL 51 1% 1/4W

Ref.No or Q'ty	Part No.	Description
(SG-62 BOARD,BKH-2100/BVH-2000 CARD RACK)		
R1,2,3,17,23,62,73,76, 81,82,90,110	1-214-108-00	RES,METAL 100 1% 1/4W
R33,57	1-214-115-00	RES,METAL 200 1% 1/4W
R64	1-214-118-00	RES,METAL 270 1% 1/4W
R104,105,107	1-214-119-00	RES,METAL 300 1% 1/4W
R16,19,67,68	1-214-120-00	RES,METAL 330 1% 1/4W
R13	1-214-124-00	RES,METAL 470 1% 1/4W
R11,26,52,74,83,109	1-214-132-00	RES,METAL 1K 1% 1/4W
R103	1-214-134-00	RES,METAL 1.2K 1% 1/4W
R69,72	1-214-136-00	RES,METAL 1.5K 1% 1/4W
R101	1-214-137-00	RES,METAL 1.6K 1% 1/4W
R97	1-214-138-00	RES,METAL 1.8K 1% 1/4W
R4,5,31,102,130	1-214-139-00	RES,METAL 2K 1% 1/4W
R93	1-214-140-00	RES,METAL 2.2K 1% 1/4W
R22	1-214-141-00	RES,METAL 2.4K 1% 1/4W
R32	1-214-143-00	RES,METAL 3K 1% 1/4W
R86,108	1-214-144-00	RES,METAL 3.3K 1% 1/4W
R20	1-214-145-00	RES,METAL 3.6K 1% 1/4W
R15,41,56	1-214-146-00	RES,METAL 3.9K 1% 1/4W
R40,71	1-214-148-00	RES,METAL 4.7K 1% 1/4W
R6,7,10,18,94,95,124	1-214-149-00	RES,METAL 5.1K 1% 1/4W
R63	1-214-150-00	RES,METAL 5.6K 1% 1/4W
R58,59	1-214-151-00	RES,METAL 6.2K 1% 1/4W
R42	1-214-153-00	RES,METAL 7.5K 1% 1/4W
R61,65	1-214-154-00	RES,METAL 8.2K 1% 1/4W
R25,100	1-214-155-00	RES,METAL 9.1K 1% 1/4W
R24,30,37,44,45,46,47, 48,49,50,51,53,54,66, 75,84,85,87,89,91,111	1-214-156-00	RES,METAL 10K 1% 1/4W
R36	1-214-160-00	RES,METAL 15K 1% 1/4W
R35	1-214-163-00	RES,METAL 20K 1% 1/4W
R27,96	1-214-164-00	RES,METAL 22K 1% 1/4W
R123	1-214-165-00	RES,METAL 24K 1% 1/4W
R43,60	1-214-167-00	RES,METAL 30K 1% 1/4W
R34	1-214-168-00	RES,METAL 33K 1% 1/4W
R39	1-214-169-00	RES,METAL 36K 1% 1/4W
R38	1-214-170-00	RES,METAL 39K 1% 1/4W
R8,9,28,92	1-214-173-00	RES,METAL 51K 1% 1/4W

Ref.No or Q'ty	Part No.	Description
(SG-62 BOARD,BKH-2100/BVH-2000 CARD RACK)		
R88	1-214-174-00	RES,METAL 56K 1% 1/4W
R70,121	1-214-175-00	RES,METAL 62K 1% 1/4W
R122	1-214-179-00	RES,METAL 91K 1% 1/4W
R21,120	1-214-180-00	RES,METAL 100K 1% 1/4W
RV14	1-224-938-00	RES,VAR,METAL 2K
RV7,8,12	1-214-939-00	RES,VAR,METAL 5K
RV2,4,9,19	1-224-940-00	RES,VAR,METAL 10K
RV3,5,6	1-224-941-00	RES,VAR,METAL 20K
RV13	1-224-942-00	RES,VAR,METAL 50K
RV15,16,17,18	1-228-532-00	RES,VAR,COMP 5K
RB2,3,4	1-231-450-00	RES,BLOCK 3.3Kx8
RB5,6	1-231-504-00	RES,BLOCK 620x4
RB1	1-231-521-00	RES,BLOCK 3.3x4
BPF1	1-231-623-00	FILTER,BANDPASS
R29	1-247-053-00	RES,CARBON 1M 5% 1/8W
LV1	1-407-569-00	COIL,VAR 10
DL5F	1-415-121-00	DELAY LINE,10nsx10
L1,2,3,4	1-421-329-00	COIL,CHOKE
S2	1-516-923-00	SWITCH,DIP,4-CKT
S3	1-516-925-00	SWITCH,DIP,8-CKT
VCXO1,2	1-527-478-00	VCXO,14.31818MHz
S4	1-553-441-00	SWITCH,TOGGLE
S1	1-570-280-11	SWITCH,DIP
4pcs	2-282-313-11	KNOB,CONTROL
1pc ()	2-360-778-00	LABEL(SG-62),PC BOARD
TP1,2,3 ()	3-673-805-01	TERMINAL,TP
TPE1,2,3,4 ()	3-673-805-11	TERMINAL,TP
1pc ()	3-673-865-00	LEVER,WITH PIN
1PC ()	3-673-867-00	PLATE,INDICATION, PC BOARD
4pcs	7-621-737-08	SET SCREW,2.6x3, FLAT POINT
4pcs	7-621-981-15	SCREW,PSW2.6x6
2pcs ()	7-626-317-21	PIN,SPRING 2.5x8
D5	8-719-162-07	DIODE RD6.2E
D7	8-719-812-41	LED TLR124,RED
D6	8-719-812-43	LED TLG124,GREEN
D1,2,3,4,8,9	8-719-815-55	DIODE 1S1555
Q3	8-729-171-10	TRANSISTOR 2SA711
Q4	8-729-368-90	TRANSISTOR 2SC689H
Q1,2,5	8-729-603-50	TRANSISTOR 2SC403SP
IC1C,3L	8-749-938-10	IC BX381

Ref.No or Q'ty	Part No.	Discription
(SG-62 BOARD,BKH-2100/BVH-2000 CARD RACK)		
IC1L	8-757-731-00	IC CX773A,CMOS
IC1P	8-757-903-00	IC CX7903,CMOS
IC1	8-759-108-05	IC UPC78L05A
IC3T	8-759-301-24	IC HD10124,ECL
IC2B,2Q,5T	8-759-900-00	IC SN74LS00N,TTL
IC2H	8-759-900-08	IC SN74LS08N,TTL
IC5Q	8-759-900-10	IC SN74LS10N,TTL
IC3J,3K,4J	8-759-900-59	IC HI1-201,CMOS
IC2P,4R,5R	8-759-900-74	IC SN74LS74AN,TTL
IC3C	8-759-901-23	IC SN74LS123N,TTL
IC2I	8-759-901-39	IC SN74LS139N,TTL
IC2E	8-759-901-53	IC SN74LS153N,TTL
IC1R	8-759-901-57	IC SN74LS157N,TTL
IC2N,4S	8-759-901-75	IC SN74LS175N,TTL
IC1K,1S,2J,2K,3B,3O,3P, 3R,5E	8-759-902-21	IC SN74LS221N,TTL
IC4T	8-759-903-99	IC SN74LS399N,TTL
IC1D,5D,5M	8-759-905-27	IC NE527H
IC1J	8-759-905-77	IC HI1-200,CMOS
IC2R	8-759-905-83	IC N8273N,TTL
IC3N	8-759-907-11	IC UA711DC
IC5S	8-759-910-86	IC SN74S86N,TTL
IC4Q	8-759-911-12	IC SN74S112N,TTL
IC2T	8-759-911-33	IC SN74S133N,TTL
IC2F	8-759-911-63	IC SN74S163N,TTL
IC5H	8-759-914-00	IC SN7400N,TTL
IC4N	8-759-926-10	IC TL610C
IC5N	8-759-941-61	IC SN74161N,TTL
IC2C,2L,2M,2O,4P	8-759-942-65	IC SN74265N,TTL
IC3F,5O	8-759-974-04	IC SN7404N,TTL
IC3E	8-759-974-74	IC SN7474N,TTL
IC5G	8-759-974-86	IC SN7486N,TTL
IC1I,4C,4F,5A	8-759-990-82	IC TL082CP
IC3H,4H,4K	8-759-990-84	IC TL084CN

Ref.No. or Q'ty	Part No.	Description
PR-36 BOARD (BKH-2100/BVH-2000 CARD RACK)		
1pc	() A-6257-105-A	COMPLETE PCB,PR-36
(This assembly includes the following parts.)		
1pc	() X-3673-641-0	PLATE ASSY,SHIELD
C41	1-107-204-00	CAP,MICA 12PF 5% 500V
C14,31	1-108-555-00	CAP,MYLAR 0.001 5% 50V
C36	1-108-603-00	CAP,MYLAR 0.1 5% 50V
C120	1-109-531-00	CAP,MICA 68PF 5% 100V
C3,7	1-109-534-00	CAP,MICA 91PF 5% 100V
C16	1-109-545-00	CAP,MICA 270PF 5% 100V
C26	1-109-549-00	CAP,MICA 390PF 5% 100V
C17,30,35	1-109-554-00	CAP,MICA 510PF 5% 100V
C9,10,39	1-123-342-00	CAP,ELECT 22 20% 35V
C48,49,50,51,52,53	1-123-343-00	CAP,ELECT 33 20% 35V
C43,44,45,46	1-123-344-00	CAP,ELECT 47 20% 35V
C15,38	1-123-352-00	CAP,ELECT 1 20% 50V
C1,2,5,6,11,12,18,19,20, 21,24,25,27,29,32,34, 37,40	1-131-358-00	CAP,TANT 6.8 10% 25V
C4	1-131-441-00	CAP,TANT 22 10% 16V
C13,22,23,28,33,47,121, 122	1-162-596-00	CAP,CERAMIC 0.022 25V
R47,83	1-214-084-00	RES,METAL 10 1% 1/4W
R10	1-214-092-00	RES,METAL 22 1% 1/4W
R19,53,55,57,66,93	1-214-100-00	RES,METAL 47 1% 1/4W
R29,30,31	1-214-101-00	RFS,METAL 51 1% 1/4W
R14,25,52,59,98	1-214-105-00	RES,METAL 75 1% 1/4W
R4,6,8	1-214-107-00	RES,METAL 91 1% 1/4W
R34,102	1-214-108-00	RES,METAL 100 1% 1/4W
R16	1-214-110-00	RES,METAL 120 1% 1/4W
R60,99,101	1-214-112-00	RES,METAL 150 1% 1/4W
R13,40,18	1-214-115-00	RES,METAL 200 1% 1/4W
R104	1-214-116-00	RES,METAL 220 1% 1/4W
R3,5,58,89,108,120,121	1-214-118-00	RES,METAL 270 1% 1/4W
R9,11,20,21	1-214-119-00	RES,METAL 300 1% 1/4W
R17,22,23,32,33	1-214-121-00	RES,METAL 360 1% 1/4W
R70	1-214-123-00	RES,METAL 430 1% 1/4W

Ref.No. or Q'ty	Part No.	Description
(PR-36 BOARD,BKH-2100/BVH-2000 CARD RACK)		
R63,65,122	1-214-126-00	RES,METAL 560 1% 1/4W
R96,97	1-214-127-00	RES,METAL 620 1% 1/4W
R7	1-214-128-00	RES,METAL 680 1% 1/4W
R38,68	1-214-129-00	RES,METAL 750 1% 1/4W
R61	1-214-130-00	RES,METAL 820 1% 1/4W
R28,37,44,69,72,79	1-214-132-00	RES,METAL 1K 1% 1/4W
R36	1-214-133-00	RES,METAL 1.1K 1% 1/4W
R24,54,56	1-214-134-00	RES,METAL 1.2K 1% 1/4W
R12,85	1-214-136-00	RES,METAL 1.5K 1% 1/4W
R2	1-214-138-00	RES,METAL 1.8K 1% 1/4W
R1	1-214-140-00	RES,METAL 2.2K 1% 1/4W
R92	1-214-141-00	RES,METAL 2.4K 1% 1/4W
R49	1-214-142-00	RES,METAL 2.7K 1% 1/4W
R15,41,71	1-214-144-00	RES,METAL 3.3K 1% 1/4W
R62,75	1-214-147-00	RES,METAL 4.3K 1% 1/4W
R26,48,50,51,64,74,82, 103	1-214-148-00	RES,METAL 4.7K 1% 1/4W
R123	1-214-149-00	RES,METAL 5.1K 1% 1/4W
R67	1-214-151-00	RES,METAL 6.2K 1% 1/4W
R35	1-214-155-00	RES,METAL 9.1K 1% 1/4W
R43,81,88,90,94,130	1-214-156-00	RES,METAL 10K 1% 1/4W
R45	1-214-158-00	RES,METAL 12K 1% 1/4W
R91,106	1-214-160-00	RES,METAL 15K 1% 1/4W
R86,87	1-214-163-00	RES,METAL 20K 1% 1/4W
R78	1-214-164-00	RES,METAL 22K 1% 1/4W
R80	1-214-173-00	RES,METAL 51K 1% 1/4W
R42,73,105	1-214-179-00	RES,METAL 91K 1% 1/4W
RV4	1-224-934-00	RES,VAR,METAL 100
RV6	1-224-936-00	RES,VAR,METAL 500
RV11	1-224-437-00	RES,VAR,METAL 1K
RV12	1-224-939-00	RES,VAR,METAL 5K
RV8	1-224-940-00	RES,VAR,METAL 10K
RV5,7,9,13	1-224-941-00	RES,VAR,METAL 20K
RV10	1-224-978-00	RES,VAR,METAL 50
RV1,2,3	1-228-532-00	RES,VAR,COMP 5K
RB4	1-231-449-00	RES,BLOCK 620x8
RB5,7,8,9	1-231-455-00	CR PACK
RB6	1-231-456-00	CR PACK
RB3	1-231-509-00	RES,BLOCK 1Kx4
RB1	1-231-513-00	RES,BLOCK 1.5Kx4
CP1	1-235-102-00	CR PACK
FL3	1-235-150-00	FILTER,LOW-PASS
FL1	1-235-151-00	FILTER,BANDPASS
FL2	1-235-152-00	FILTER,BANDPASS
FL5	1-235-153-00	FILTER,LOW-PASS
FL4	1-235-154-00	FILTER,LOW-PASS

Ref.No. or Q'ty	Part No.	Description
(PR-36 BOARD,BKH-2100/BVH-2000 CARD RACK)		
R76,77,84	1-246-871-00	RES,CARBON 200K 5% 1/8W
R46	1-247-053-00	RES,CARBON 1M 5% 1/8W
L1	1-407-173-XX	INDUCTOR,MICRO 220 5%
DL1	1-415-189-00	DELAY LINE,140ns
L2,3,4,5	1-421-329-00	COIL,CHOKE
FB1,2,3,4,5,6,7,8,10,11, 12,13	1-535-178-00	FERRITE BEAD
S3	1-552-509-00	SWITCH,DIP,1-CKT
S2	1-553-441-00	SWITCH,TOGGLE
S1	1-570-280-11	SWITCH,DIP
3pcs	2-282-313-00	KNOB,CONTROL
1pc ()	2-360-779-00	LABEL(PR-36),PC BOARD
TP1,2,3,4,5,6,7,8,9,10, 11,12,13,14,15,16,17 ()	3-673-805-01	TERMINAL,TP
TPE1,2,3,4 ()	3-673-805-11	TERMINAL,TP
1pc ()	3-673-865-00	LEVER,WITH PIN
1pc ()	3-673-867-00	PLATE,INDICATION, PC BOARD
3pcs	7-621-737-08	SET SCREW,2.6x3, FLAT POINT
4pcs	7-621-981-15	SCREW,PSW2.6x6
2pcs ()	7-626-371-21	PIN,SPRING 2.5x8
D1	8-719-151-07	DIODE RD5.1E-B
D5	8-719-175-07	DIODE RD7.5E
D4,6	8-719-815-55	DIODE 1S1555
D3	8-719-815-80	DIODE 1S1587
Q13,16	8-729-353-00	TRANSISTOR 2SA530H
Q2,11,12	8-729-368-90	TRANSISTOR 2SC689H
Q3,4,10,15	8-729-612-77	TRANSISTOR 2SA1027R
Q5	8-729-658-31	TRANSISTOR 2SC1583
Q6,7,8,9,14	8-729-672-43	TRANSISTOR 2SC2724
Q1	8-729-699-51	TRANSISTOR 2SA995
IC12	8-749-936-51	IC BX365A
IC3,4	8-749-936-61	IC BX366A
IC14	8-752-005-11	IC CX20051A
IC16,17	8-759-001-15	IC MC10115L,ECL
IC1,15	8-759-001-16	IC MC10116L,ECL
IC9	8-759-015-95	IC MC1595L
IC6	8-759-145-57	IC UPC4557C
IC7,8	8-759-902-21	IC SN74LS221N,TTL
IC5,10	8-759-906-07	IC TL607CP
IC2	8-759-931-02	IC CA3102E
IC18	8-759-990-82	IC TL082CP
IC11	8-759-990-84	IC TL084CN

SECTION E
CHANGED PARTS

UP TO #10099 (BKH-2100)			#10101 & UP (BKH-2100)	
AD-12 BOARD (BKH-2100/BVH-2000 CARD RACK)				
C59,60	1-131-347-00	CAP,TANT 1 10% 35V	1-131-341-00	CAP,TANT 0.1 10% 35V
SG-62 FOARD (BKH-2100/BVH-2000 CARD RACK)				
R131	NOT IN USE		1-210-832-00	RES,CARBON 6.8M 5% 1/4W
R20	1-214-144-00	RES,METAL 3.3K 1% 1/4W	1-214-145-00	RES,METAL 3.6K 1% 1/4W
PR-36 BOARD (BKH-2100/BVH-2000 CARD RACK)				
C41	1-107-209-00	CAP,MICA 20PF 5% 500V	1-107-204-00	CAP,MICA 12PF 5% 500V
RV11	1-224-940-00	RES,VAR,METAL 10K	1-224-937-00	RES,VAR,METAL 1K
FL6	1-235-155-00	FILTER,LOW-PASS	DELETED	

UP TO #10199 (BKH-2100)			#10201 & UP (BKH-2100)	
PR-36 BOARD (BKH-2100/BVH-2000 CARD RACK)				
R84	1-210-821-00	RES,CARBON 2.2M 5% 1/4W	1-246-528-00	RES,CARBON 200K 5% 1/4W

UP TO #10299 (BKH-2100)			#10301 & UP (BKH-2100)	
SG-62 BOARD (BKH-2100/BVH-2000 CARD RACK)				
C65	1-109-541-00	CAP,MICA 200PF 5% 100V	1-109-549-00	CAP,MICA 390PF 5% 100V
R88	1-214-177-00	RES,METAL 75K 1% 1/4W	1-214-174-00	RES,METAL 56K 1% 1/4W
RV6	1-224-940-00	RES,VAR,METAL 10K	1-224-941-00	RES,VAR,METAL 20K
RV13	1-224-941-00	RES,VAR,METAL 20K	1-224-942-00	RES,VAR,METAL 50K
PR-36 BOARD (BKH-2100/BVH-2000) CARD RACK)				
C122	NOT IN USE		1-161-055-00	CAP,CERAMIC 0.022 10% 50V
R106	1-214-163-00	RES,METAL 20K 1% 1/4W	1-214-160-00	RES,METAL 15K 1% 1/4W

UP TO #10399 (BKH-2100)			#10401 & UP (BKH-2100)	
AD-12 BOARD (BKH-2100/BVH-2000) CARD RACK)				
1pc	7-621-731-08	SET SCREW,2x2.5 FLAT POINT	7-621-737-08	SET SCREW,2.6x3 FLAT POINT
MY-15 BOARD (BKH-2100/BVH-2000 CARD RACK)				
IC2G	PENDING	MB7128E-YCM1	8-759-756-34	MB7128E-YCM1
SG-62 BOARD (BKH-2100/BVH-2000 CARD RACK)				
4pcs	7-621-731-08	SET SCREW,2x2.5 FLAT POINT	7-621-737-08	SET SCREW,2.6x3 FLAT POINT
PR-36 BOARD (BKH-2100/BVH-2000 CARD RACK)				
3pcs	7-621-731-08	SET SCREW,2.5x5 FLAT POINT	7-621-737-08	SET SCREW,2.6x3 FLAT POINT

UP TO #10499 (BKH-2100)			#10501 & UP (BKH-2100)	
AD-12 BOARD (BKH-2100/BVH-2000 CARD RACK)				
RV7	1-224-938-00	RES,VER,METAL 2K	DELETED	

UP TO #10699 (BKH-2100)			#10701 & UP (BKH-2100)	
AD-12 BOARD (BKH-2100/BVH-2000 CARD RACK)				
C100	1-108-555-00	CAP,MYLAR 0.001 5% 50V	DELETED	
C45	1-109-546-00	CAP,MICA 300PF 5% 100V	1-108-555-00	CAP,MYLAR 0.001 5% 50V
R57	1-214-144-00	RES,METAL 3.3K 1% 1/4W	DELETED	
R110	1-214-161-00	RES,METAL 16K 1% 1/4W	DELETED	
R66	1-214-162-00	RES,METAL 18K 1% 1/4W	1-214-161-00	RES,METAL 16K 1% 1/4W
ICD5	NOT IN USE		8-759-990-82	IC TL082CP

UP TO #10799 (BKH-2100)			#10801 & UP (BKH-2100)	
AD-12 BOARD (BKH-2100/BVH-2000 CARD RACK)				
C21,23,32,51,64,65,71, 76,77,84,85,87	1-131-373-00	CAP,TANT 22 10% 16V	1-131-441-00	CAP,TANT 22 10% 16V
MY-15 BOARD (BKH-2100/BVH-2000 CARD RACK)				
C3,5	1-131-373-00	CAP,TANT 22 10% 16V	1-131-441-00	CAP,TANT 22 10% 16V
SG-62 BOARD (BKH-2100/BVH-2000 CARD RACK)				
C8,9,19,20,37,38,52, 92,106,111,113	1-131-373-00	CAP,TANT 22 10% 16V	1-131-441-00	CAP,TANT 22 10% 16V
PR-36 BOARD (BKH-2100/BVH-2000 CARD RACK)				
C4	1-131-373-00	CAP,TANT 22 10% 16V	1-131-441-00	CAP,TANT 22 10% 16V
R84	1-246-528-00	RES,CARBON 200K 5% 1/4W	1-246-871-00	RES,CARBON 200K 5% 1/8W
IC11	8-759-132-40	IC UPC324C	8-759-990-84	IC TL084CN

UP TO #10999 (BKH-2100)			#11001 & UP (BKH-2100)	
AD-12 BOARD (BKH-2100/BVH-2000 CARD RACK)				
IC1P	8-752-001-60	IC CX20016	8-752-001-63	IC CX20016A-2

UP TO #12199 (BKH-2100)			#12201 & UP (BKH-2100)	
PR-36 BOARD (BKH-2100/BVH-2000 CARD RACK)				
C40	1-131-358-00	CAP,TANT 6.8 10% 25V	DELETED	

UP TO #12699 (BKH-2100)			#12701 & UP (BKH-2100)	
PR-36 BOARD (BKH-2100/BVH-2000 CARD RACK)				
S1	1-554-012-00	SWITCH,DIP,4-CKT	1-570-280-11	SWITCH,DIP
SG-62 BOARD (BKH-2100/BVH-2000 CARD RACK)				
S1	1-554-012-00	SWITCH,DIP,4-CKT	1-570-280-11	SWITCH,DIP

UP TO #12799 (BKH-2100)			#12801 & UP (BKH-2100)	
PR-36 BOARD (BKH-2100/BVH-2000 CARD RACK)				
R18	1-214-124-00	RES,METAL 470 1% 1/4W	1-214-115-00	RES,METAL 200 1% 1/4W

UP TO #12999 (BKH-2100)			#13001 & UP (BKH-2100)	
AD-12 BOARD (BKH-2100/BVH-2000 CARD RACK)				
C1,2,3,4,5,6,7,9,11,13,14,15, 16,17,18,20,22,31,37,40,41, 44,50,52,53,54,56,57,58,62, 63,68,72,79,80,81,83,88,90, 91,92,93,94,95,96,97,98	1-161-055-00	CAP,CERAMIC 0.022 1% 50V	1-162-596-00	CAP,CERAMIC 0.022 25V
PR-36 BOARD (BKH-2100/BVH-2000 CARD RACK)				
C13,22,23,28,33,47,121,122	1-161-055-00	CAP,CERAMIC 0.022 1% 50V	1-162-596-00	CAP,CERAMIC 0.022 25V
MY-15 BOARD (BKH-2100/BVH-2000 CARD RACK)				
C1,2,4,6,7,8,9,10,11,12,13,14, 15,16,17,18,19,20,21,22,23, 24,25,26,27,28,29,30,31,32, 33,34,35,36	1-161-055-00	CAP,CERAMIC 0.022 1% 50V	1-162-596-00	CAP,CERAMIC 0.022 25V
SG-62 BOARD (BKH-2100/BVH-2000 CARD RACK)				
C4,5,6,7,10,14,15,16,17,18,21, 27,30,31,32,33,36,39,40,41, 46,47,48,51,56,57,58,60,62, 63,64,66,67,69,70,71,72,73, 76,80,81,82,88,90,96,97,98, 101,102,104,105,107,108, 109,110,112,114	1-161-055-00	CAP,CERAMIC 0.022 1% 50V	1-162-596-00	CAP,CERAMIC 0.022 25V

BKH-2100 (J/U/C)
2-360-763-07

Sony Corporation

© 1982

Printed in Japan
1986. 5 11